

I - Objetivo : Estudar o comportamento do latch primitivo e do F/F RS, através da montagem das suas tabelas de estados e de excitação. Estudar a característica do latch primitivo como memória e como primitivo para a implementação de outros circuitos. Montagem do circuito do latch primitivo com lógica positiva NOR e com lógica negativa NAND. Montar o F/F RS usando a mala de implementação e levantar as tabelas de estados e de excitações.

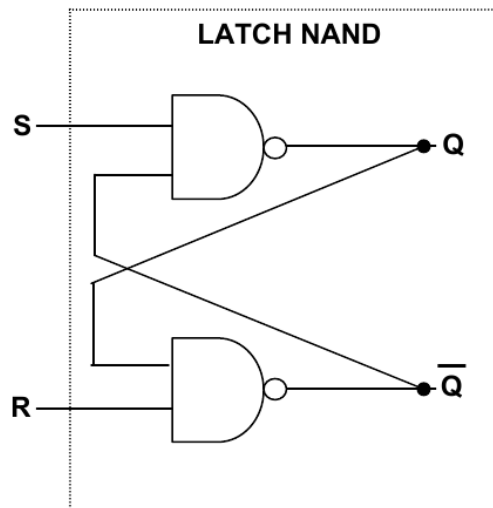
II - Material Utilizado :

- Maleta digital de programação ou similar;
- Multímetro digital;
- Cabos de interligações.

III – Parte Prática

- Montar o circuito latch NAND utilizando as portas lógicas NAND, conforme o circuito abaixo.
- Preencher a tabela de estados a seguir a coluna Q_{n+1} , impondo condições para as entradas S e C, conforme as condições iniciais de Q_n (valor atual).
- A partir da tabela de estados montar a tabela de excitação e de estados.
- A seguir, preencher a tabela reduzida de estados;
- Repetir os itens anteriores na montagem do F/F RS.

CIRCUITO LATCH NAND



A - TABELA DE ESTADOS DO LATCH

Preencher a tabela de estados, colocando +V_{CC} = 5V quando a entrada NL1 e terra ou gnd quando a entrada for NL0.

NUNCA LIGAR V_{CC} OU TERRA NA SAÍDA DE QUALQUER CIRCUITO LÓGICO, POIS VAI DANIFICAR O COMPONENTE.

S	C	Q _n	Q _{n+1}
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

SC	00	01	11	10
Q _n / 0				
Q _n /1				

Equação de Estado do LATCH

Q_{n+1} =

B – TABELA DE EXCITAÇÃO OU TRANSIÇÃO DO LATCH NAND

A partir da tabela de estados acima montar a tabela de excitação do LATCH.

S	C	Q _n → Q _{n+1}
		0 → 0
		0 → 1
		1 → 0
		1 → 1

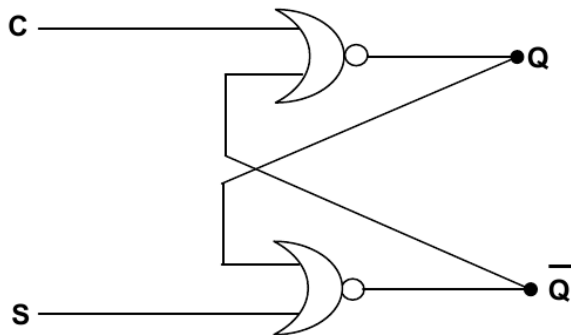
C – TABELA REDUZIDA DO LATCH

S	C	Q _{n+1}
0	0	
0	1	
1	0	
1	1	

IV – Parte Prática

- Montar o circuito latch NOR utilizando as portas lógicas NOR, conforme o circuito abaixo.
- Preencher a tabela de estados a seguir a coluna Q_{n+1} , impondo condições para as entradas R e S, conforme as condições iniciais de Q_n (valor atual).
- A partir da tabela de estados montar a tabela de excitação e de estados.
- A seguir, preencher a tabela reduzida de estados.

CIRCUITO LATCH NOR



C - TABELA DE ESTADOS DO LATCH

Preencher a tabela de estados, colocando $+V_{CC} = 5V$ quando a entrada NL1 e terra ou gnd quando a entrada for NL0.

NUNCA LIGAR V_{CC} OU TERRA NA SAÍDA DE QUALQUER CIRCUITO LÓGICO, POIS VAI DANIFICAR O COMPONENTE.

S	C	Q_n	Q_{n+1}
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

SC	00	01	11	10
$Q_n/0$				
$Q_n/1$				

Equação de Estado do F/F

$Q_{n+1} =$

D – TABELA DE EXCITAÇÃO OU DE TRANSIÇÃO DO LATCH NOR

A partir da tabela de estados acima montar a tabela de excitação.

S	C	$Q_n \rightarrow Q_{n+1}$
		0 → 0
		0 → 1
		1 → 0
		1 → 1

C – TABELA REDUZIDA DO LATCH NOR

S	C	Q_{n+1}
0	0	
0	1	
1	0	
1	1	

A - TABELA DE ESTADOS DO F/F RS

Preencher a tabela de estados, colocando +V_{CC} = 5V quando a entrada NL1 e terra ou gnd quando a entrada for NL0.

NUNCA LIGAR V_{CC} OU TERRA NA SAÍDA DE QUALQUER CIRCUITO LÓGICO, POIS VAI DANIFICAR O COMPONENTE.

R	S	Q_n	Q_{n+1}
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

RS	00	01	11	10
$Q_n/0$				
$Q_n/1$				

Equação de Estado do F/F - RS

$Q_{n+1} =$

B – TABELA DE EXCITAÇÃO OU TRANSIÇÃO DO F/F - RS

A partir da tabela de estados acima montar a tabela de excitação do F/F RS.

R	S	$Q_n \rightarrow Q_{n+1}$
		0 → 0
		0 → 1
		1 → 0
		1 → 1

C – TABELA REDUZIDA DO F/F RS

R	S	Q_{n+1}
0	0	
0	1	
1	0	
1	1	

F/F TIPO RS COM CLOCK

A - TABELA DE ESTADOS DO F/F RS

Preencher a tabela de estados, colocando $+V_{CC} = 5V$ quando a entrada NL1 e terra ou gnd quando a entrada for NL0.

NUNCA LIGAR V_{CC} OU TERRA NA SAÍDA DE QUALQUER CIRCUITO LÓGICO, POIS VAI DANIFICAR O COMPONENTE.

R	S	Q_n	Q_{n+1}
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

RS	00	01	11	10
$Q_n/0$				
$Q_n/1$				

Equação de Estado do F/F - RS

$Q_{n+1} =$

B – TABELA REDUZIDA DO F/F RS

R	S	CLK	Q_{n+1}
0	0	↑	
0	1	↑	
1	0	↑	
1	1	↑	

Conclusões :