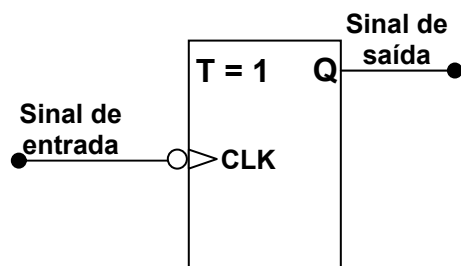


CAPÍTULO 3

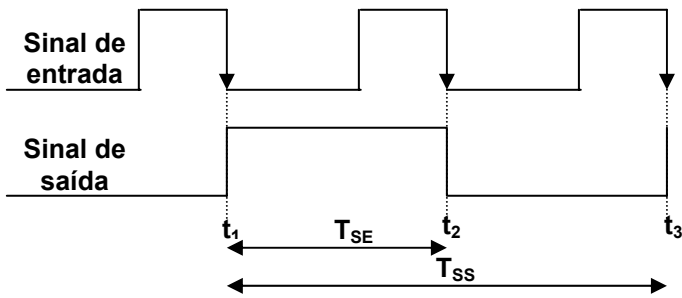
CONSTRUÍDO OS SISTEMAS SEQÜENCIAIS PELA ASSOCIAÇÃO DOS FLIPS/FLOPS À UMA LÓGICA COMBINACIONAL.

1. Introdução : O uso dos F/Fs nos permite uma série de aplicações, tais como, memórias, contadores, registradores e outros. Cada tipo de F/F se adequa melhor para uma determinado aplicação. Os F/Fs dos tipos D, T, JK e RS são os mais utilizados nas aplicações citadas são específicos para um tipo de aplicação, como por exemplo para os contadores o F/F do tipo T, para os registradores e latches o tipo D, para chaves eletrônicas o RS etc... Embora os vários tipos de F/Fs podem ser implementados através de outros F/Fs como visto no capítulo transformação de F/Fs. Como forma de representação usaremos o diagrama de estados pois é um modo gráfico de fácil visualização e mostra a evolução de estados internos do sistema, os pontos críticos com malhas fechadas persistentes e estados persistentes.

2. Contadores : Uma grande aplicação do uso dos F/Fs é na implementação dos contadores. Um contador tem a propriedade de contar digitalmente eventos, dividir a freqüência dos eventos de entrada. Cada F/F pode contar até no máximo 2, pois a sua saída pode assumir o valor 0 ou valor 1, assim somente 2 estados. Associar 2 F/Fs interligando a saída do primeiro à entrada do segundo, pode-se dobrar a contagem, assim 2 F/Fs pode contar até 4 sem qualquer realimentação de estado que possa alterar a contagem, como será estudado a seguir. Associando-se um terceiro F/F em cascata com o segundo F/F, aumenta-se módulo de contagem do contador ou divisor de freqüência, (que é o número máximo de estados percorridos pelo contador ou pelo divisor de freqüência, que é a mesma coisa, numa linguagem popular). Um terceiro F/F aumenta a contagem para $2^3 = 8$ e usando a razão associando n F/Fs em cascata, pode-se contar ou dividir até 2^n e assim para $n = 10$, o módulo do contador ou divisor de freqüência será 1024 (contando do estado 0 até 1023). Este tipo de F/F que é usado na implementação dos contadores é do tipo T, pois uma única entrada (um único sinal de entrada) e assim para $T=1$ este se altera a cada transição positiva ou negativa do sinal de entrada. O esquema a seguir mostra um sinal de entrada, borda de descida, um F/F tipo T, e as formas de ondas apresentadas.

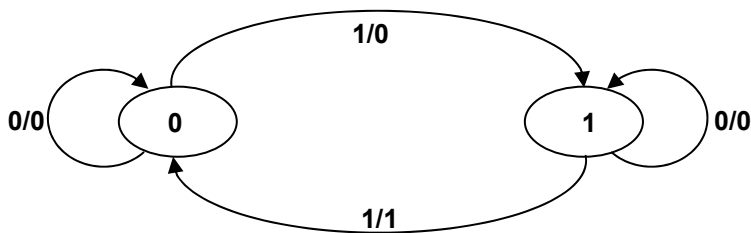


Conforme a tabela da verdade para $T=1$, o valor futuro de Q (saída do F/F) altera, no exemplo partimos da condição inicial $Q = 0$. Na 1.ª transição negativa do sinal de entrada em t_1 , o F/F muda de estado de 0 para 1. Na segunda transição negativa do sinal de entrada em t_2 , nova mudança de estado da saída, que nesse caso estava em 1 e passou para 0. A última transição negativa do sinal de entrada em t_3 , novamente uma mudança de estado, agora de 0 para 1. Em t_3 ocorreu uma repetição de t_1 e assim t_1 e t_2 são tempos onde as variações de saída são diferentes e em t_3 começa a repetir o processo, assim o período do sinal de saída é o dobro do período do sinal de entrada. Pode-se interpretar o que foi exposto, que a freqüência de saída é a metade da freqüência do sinal de entrada ou que a divisão de freqüência foi por 02 na saída do F/F.



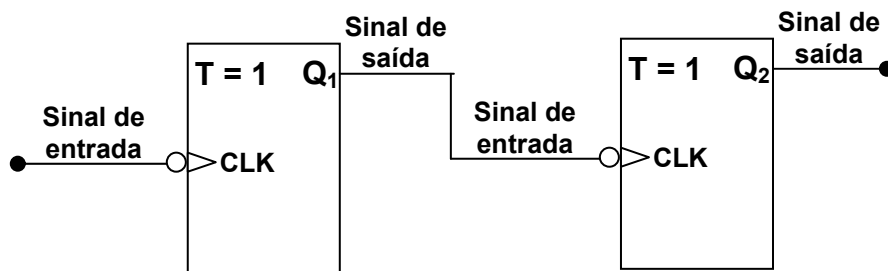
Onde os períodos indicados tem a seguinte relação $T_{SS} = 2 \cdot T_{SE}$.

A representação dos estados internos e da saída deste F/F através do diagrama de estados, fica :

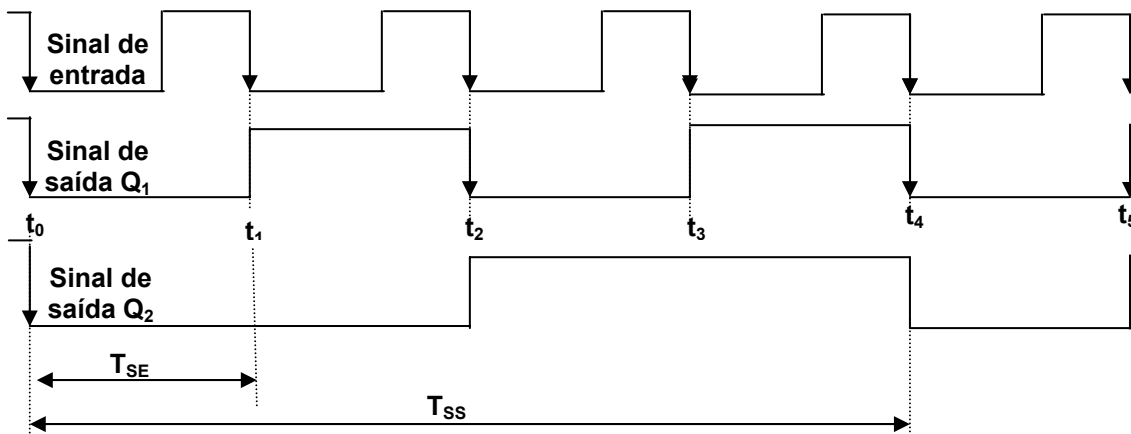


Como vemos graficamente existem 2 estados internos “0 e 1”, quando no estado interno “0”, para uma entrada igual a “0” representada no arco por 0/0, o bit do lado esquerdo representa a entrada do sinal para o F/F e o bit do lado direito representa a saída do F/F, observe que o estado “0” é persistente para esta condição de entrada ou seja permanece no próprio estado interno, isso se repete quando a mesma condição de entrada ocorre quando no estado interno “1”. A saída do F/F será na comutação de “1 para 0”, igualmente ao sinal de entrada do F/F lógica negativa.

Associando um segundo F/F do mesmo tipo T, teremos :

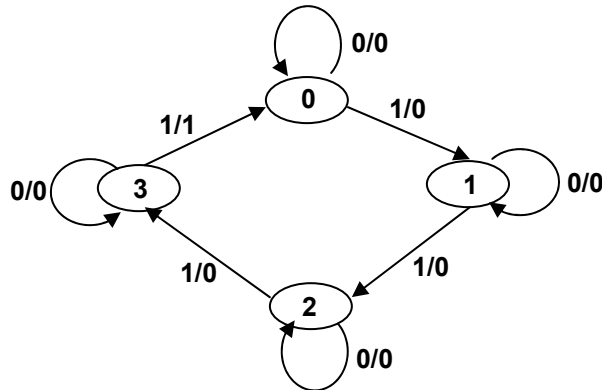


Os sinais analisados serão : 1 - sinal de saída, 2 – sinal de saída Q_1 e 3 – sinal de saída Q_2 .



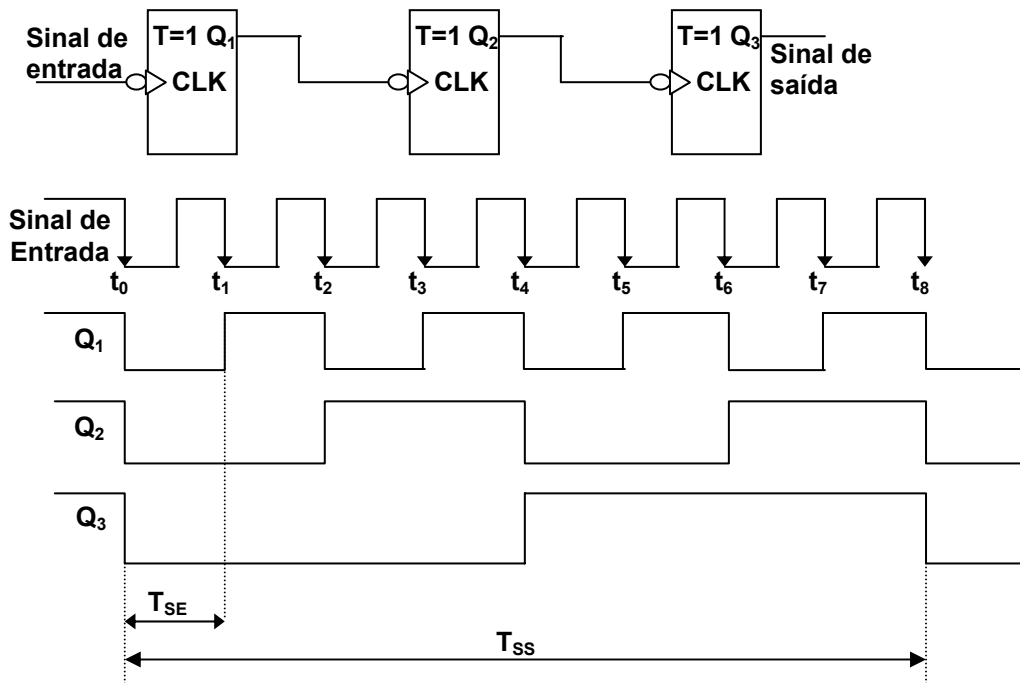
Onde os períodos indicados tem a seguinte relação $T_{SS} = 4.T_{SE}$. A divisão de freqüência será por 4. De t_0 até t_1 $Q_1 = Q_0 = 0$, estado 0-00, de t_1 até t_2 $Q_1 = 0$ e $Q_0 = 1$, estado 1-01, de t_2 até t_3 $Q_1 = 1$ e $Q_0 = 0$, estado 2-10 e por fim de t_3 até t_4 $Q_1 = Q_0 = 1$, estado 3-11.

A representação dos estados internos e da saída deste F/F através do diagrama de estados, fica :



O diagrama de estados mostra os 04 estados internos 0-00, 1-01, 2-10 e 3-11 com as respectivas condições de entrada para a evolução de um estado interno para outro estado interno e da saída da associação. Notar que os estados “0”, “1”, “2” e “3” são estados estáveis e somente existe a mudança de estado quando existe uma condição de entrada que provoca esta mudança, caso contrário ele permanece nesse estado.

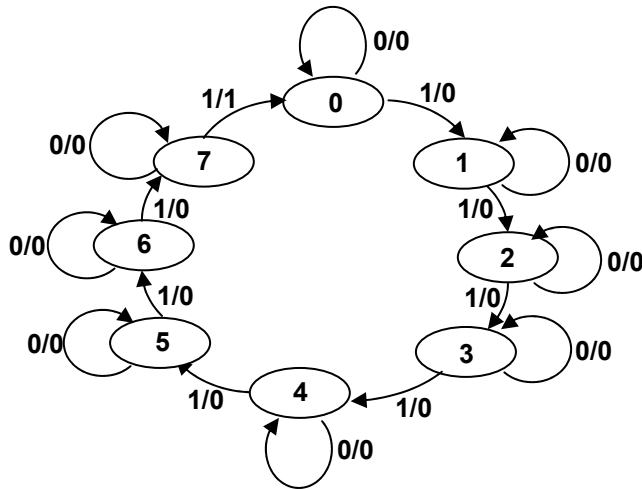
Continuando com a associação dos F/Fs, um 3.o F/F do tipo T é associado em cascata com o 2.o F/F. Para 3 F/Fs esta associação produzirá o seguinte :



Onde os períodos indicados tem a seguinte relação $T_{SS} = 8.T_{SE}$. A divisão de freqüência será por 8.

De t_0 até t_1 $Q_2 = Q_1 = Q_0 = 0$, estado 0-000, de t_1 até t_2 $Q_2 = 0$, $Q_1 = 0$ e $Q_0 = 1$, estado 1-001, de t_2 até t_3 $Q_2 = 0$, $Q_1 = 1$ e $Q_0 = 0$, estado 2-010 e t_3 até t_4 $Q_2 = 0$, $Q_1 = Q_0 = 1$, estado 3-011. De t_4 até t_5 $Q_2 = 1$, $Q_1 = Q_0 = 0$, estado 4-100, de t_5 até t_6 $Q_2 = 1$, $Q_1 = 0$ e $Q_0 = 1$, estado 5-

101, de t_6 até t_7 $Q_2 = 1$, $Q_1 = 1$ e $Q_0 = 0$, estado 6-010 e por fim t_7 até t_8 $Q_2 = 1$, $Q_1 = Q_0 = 1$, estado 7-111.

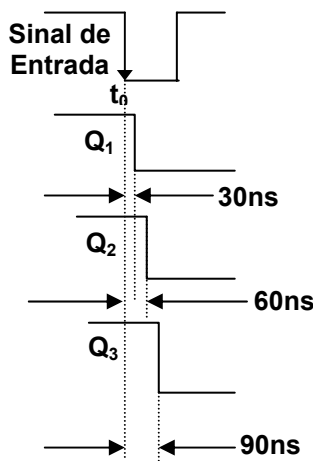


O diagrama de estado da associação dos 03 F/Fs mostra um módulo de 8 estados de 0 a 7, na ordem crescente, sendo a saída indicada na transição do estado 7 para o estado 0. A saída Q_2 do F/F será a saída desta associação indicando o módulo.

3. TIPOS DE CONTADORES

Os contadores podem ser crescentes ou decrescentes, módulos variáveis, síncronos ou assíncronos. Nos exemplos anteriores vimos as associações dos F/Fs interligando a saída de um F/F à entrada do próximo e assim sucessivamente quando desejamos aumentar o módulo de contagem. Na associação desse tipo com 03 F/Fs a mudança de estado do último F/F deve aguardar todas as mudanças de estados ocorridas nos F/Fs anteriores. Inicialmente a mudança no 1.º F/F, em seguida o 2.º e assim sucessivamente até chegar no último F/F da associação, o que consideramos o MSB. Como os circuitos reais possuem atrasos intrínsecos existe um tempo para o sinal se propagar da entrada até a saída do F/F. Para os circuitos cuja mudança de estado ocorre com a chegada dos sinais de entrada, são conhecidos como assíncronos. Para os circuitos cuja mudança de estado só é permitida a partir de um sinal de sincronismo, ou sinal de clock, estes circuitos são conhecidos como circuitos síncronos.

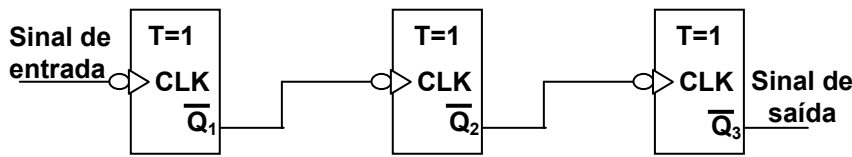
A forma de onda a seguir mostra como se propaga este atraso nos 03 F/Fs da associação do contador assíncrono. Considere um atraso da ordem de 30ns para cada F/F. Para um sinal de entrada de 0 para 1 na entrada da associação dos 03 F/Fs e a associação no estado 7-111, teremos :



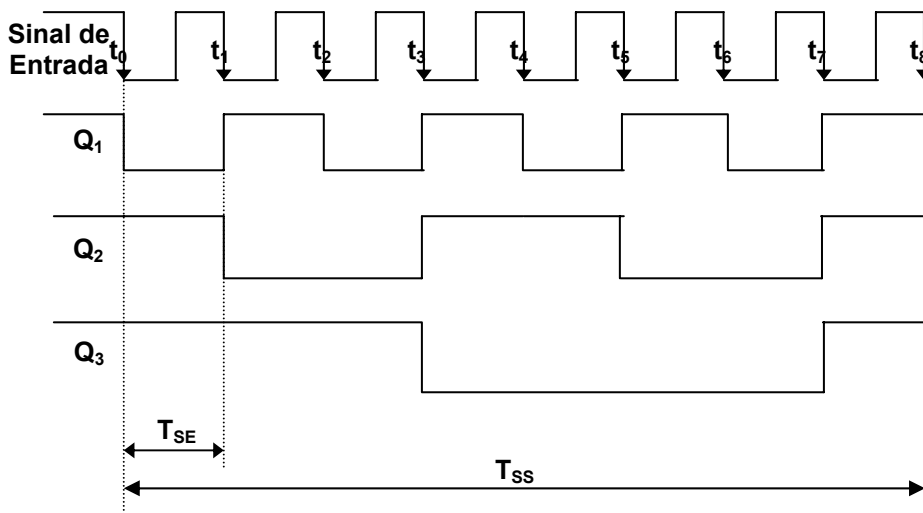
Tomando como referência o sinal de entrada os 03 F/Fs sofrerão mudança de estados do estado 7-111 para o estado 0-000. Cada F/F possui um atraso de 30ns, então os 03 F/Fs acumularão um atraso de 90ns.

4. CONTADORES CRESCENTES E DECRESCENTES

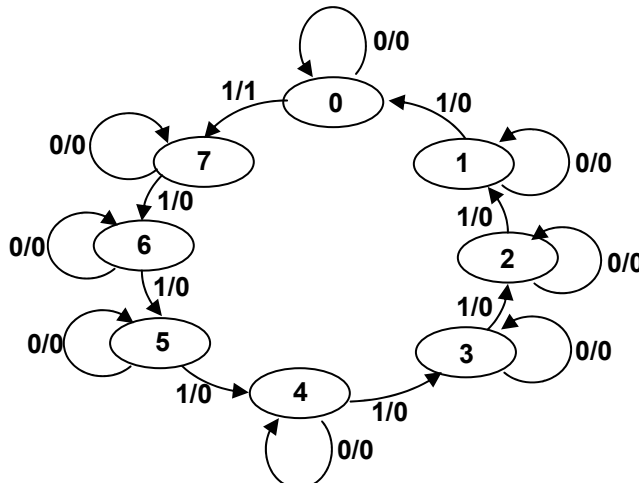
A associação dos F/Fs nos permite a construção de contadores síncronos, assíncronos, crescentes, decrescentes e de módulo variável. Vimos até o presente momento, os contadores assíncronos e crescentes. Os contadores são crescentes quando a interligação entre F/Fs é feita ligando a saída Q_{n-1} do F/F anterior à entrada do próximo F/F e decrescentes quando a interligação entre F/Fs é feita ligando a saída \overline{Q}_{n-1} do F/F anterior à entrada do próximo F/F. O esquema a seguir mostra um contador decrescente módulo 8.



As formas de ondas apresentadas nas saídas dos F/Fs do contador decrescente conforme o sinal de entrada.



De acordo com as formas de ondas acima sendo Q_3 MSB, o contador inicia no estado 7-111 ($Q_3Q_2Q_1 \rightarrow 3$ bits), após o 1.o pulso borda negativa os estados dos F/Fs passam para 6-110, em seguida 5-101, assim sucessivamente até 0-000. O próximo pulso o contador volta para o estado 7-111, formando a malha de estados internos mostrada a seguir.

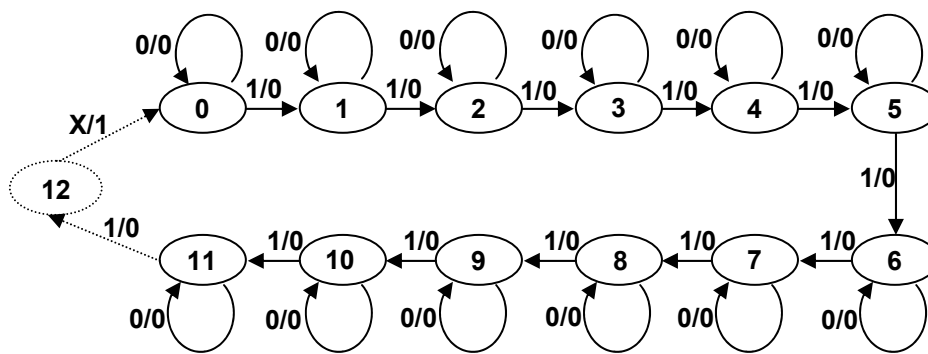


A malha de estados internos percorrida na forma decrescente tem a saída na transição do estado “0 para o estado 7”.

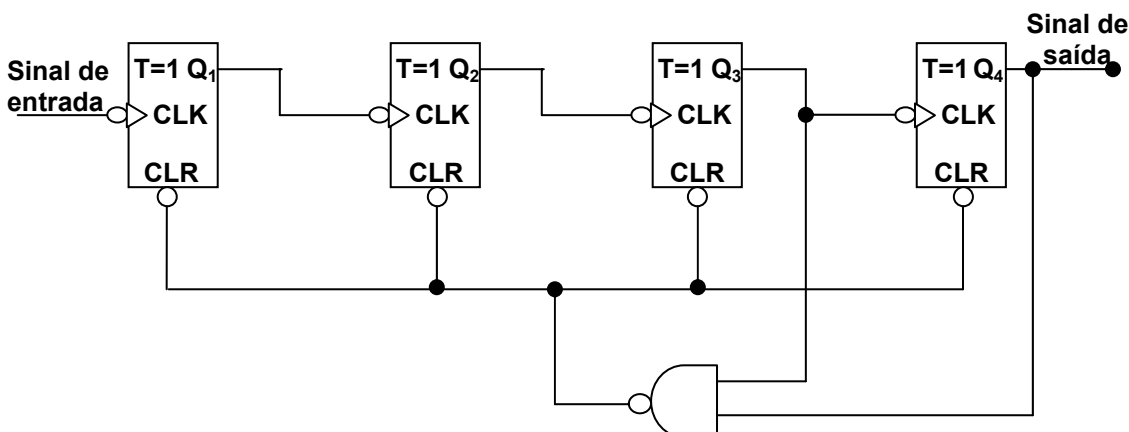
5. CONTADORES ASSÍNCRONOS COMERCIAIS

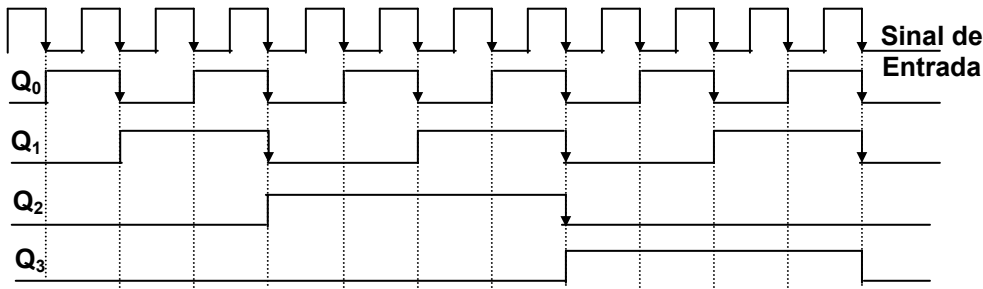
Os tipos de contadores assíncronos comerciais permitem uma série de aplicações em projetos de sistemas digitais. As aplicações das mais variadas possíveis permitem projetar contadores que podem operar na forma crescente, decrescente e com módulo de contagem diferente de 2^n . Isto quer dizer por exemplo que os contadores de 4 bits ($Q_3Q_2Q_1Q_0$), podem ter módulos de contagem ou divisão de freqüência, iguais a 3,5,6,7,9,10,11,12,13,14,15 etc...

Para que seja possível a divisão de freqüência por módulo $< 2^n$, alguns recursos devem ser introduzidos no circuito do F/F tipo T. Com a introdução de uma entrada auxiliar, cuja função é zerar o estado do F/F, criamos a possibilidade a qualquer instante, pois esta entrada de nome clear é assíncrona, de zerar a contagem do contador. Por exemplo, para um contador de 4 bits, cujo módulo máximo de contagem é $2^4 = 16$, vamos implementar um divisor de freqüência $< 2^4$, ou seja módulo 12. Devemos definir inicialmente a malha de estados internos do contador ou divisor de freqüência.



O estado 12 é um meta-estado, o que significa que é um estado instável e deve seguir para um estado estável. O estado 12 ocorre por um tempo muito pequeno, pois um circuito combinatório realizado com uma porta lógica, detecta o estado 12 e aciona a entrada clear do F/F que zera todos os F/Fs impondo o estado 0-0000. A saída do contador para o estado 12 é a saída do F/F MSB, no nosso caso Q_3 . A conexão da porta lógica interligada a todas as entradas clear é chamada de realimentação. As formas de ondas apresentadas abaixo mostra o contador assíncrono, crescente módulo de contagem ou de divisão de freqüência igual a 12.





Podemos montar uma tabela de estados do contador para os 12 estados internos e uma saída.

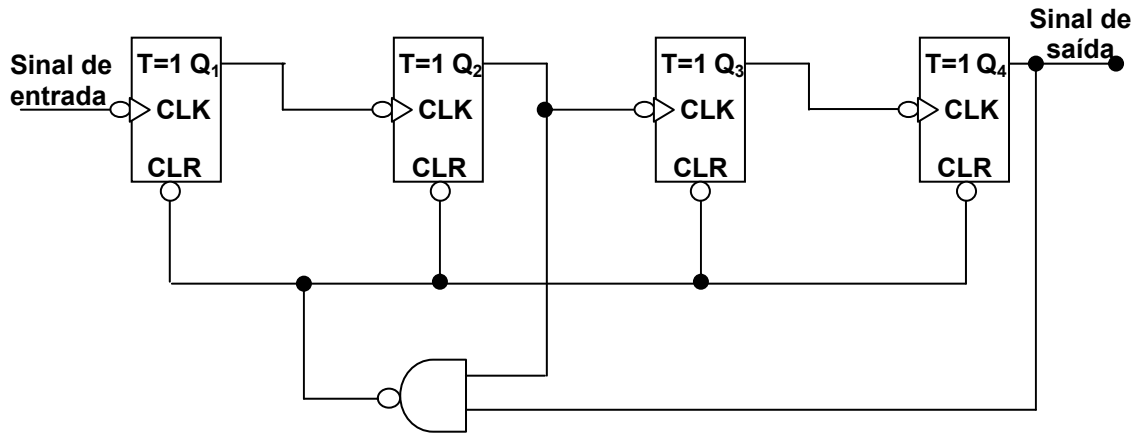
CLK	Q ₃	Q ₂	Q ₁	Q ₀	Saída
↓	0	0	0	0	0
↓	0	0	0	1	0
↓	0	0	1	0	0
↓	0	0	1	1	0
↓	0	1	0	0	0
↓	0	1	0	1	0
↓	0	1	1	0	0
↓	0	1	1	1	0
↓	1	0	0	0	0
↓	1	0	0	1	0
↓	1	0	1	0	0
↓	1	0	1	1	1

Pela tabela de estados somente os estados de 0 a 11 estão presentes na tabela formando assim uma malha de 12 estados internos. A saída é igual a 1 toda vez que o estado interno é 11.

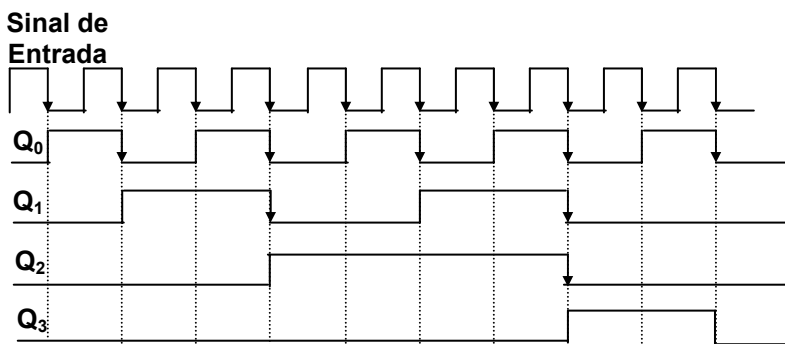
Como aplicação suplementar, implementar um contador módulo 10, crescente.

a) Introduzir um dispositivos comerciais na saída do contador como um decodificador cuja a entrada é por código BCD e cuja saída é por 07 segmentos e um display digital anodo comum;

A solução deste item é dispor de 04 F/Fs interligados em cascata no modo assíncrono e interligar as saídas Q₃ e Q₁, através da porta lógica que deteta o estado 10-1010, onde Q₃ = Q₁ = 1, esta condição não ocorre nos estados anteriores de 0 a 9 e ocorre somente no estado 10, daí a realimentação das saídas dos F/Fs para a porta lógica NAND, dá como saída nível lógico zero NL0 e assim um zero em cada das entradas clear dos F/Fs manda todos os F/F para o estado "0" ou NL0. Uma tabela da verdade com 10 estados de 0 a 9 é também mostrada, assim o circuito necessita de 04 F/Fs pois o módulo de contagem é 10 e somente com 04 F/Fs pode-se contar de 0 a 15. Assim também é necessária uma realimentação do estado 10 através de uma lógica combinatória interligada ao clear para satisfazer a condição de módulo 10. Desta forma o circuito lógico do contador crescente módulo 10 realizado com F/Fs será como mostrado a seguir.



As formas de ondas na saída de cada F/F são apresentadas a seguir.

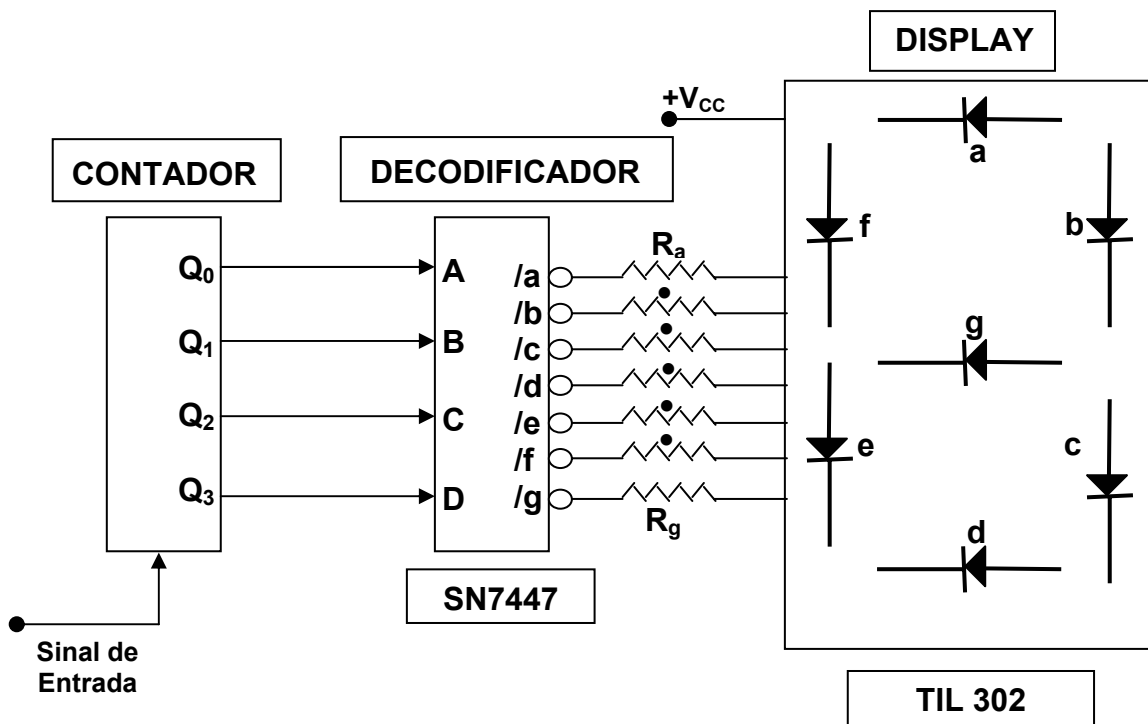


A tabela de estados do contador para os 10 estados internos e uma saída é apresentada a seguir.

CLK	Q ₃	Q ₂	Q ₁	Q ₀	Saída
↓	0	0	0	0	0
↓	0	0	0	1	0
↓	0	0	1	0	0
↓	0	0	1	1	0
↓	0	1	0	0	0
↓	0	1	0	1	0
↓	0	1	1	0	0
↓	0	1	1	1	0
↓	1	0	0	0	0
↓	1	0	0	1	1

Para este item que pede um decodificador comercial cuja entrada é BCD e cuja saída é 07 segmentos, nos obriga a consultar o manual de circuitos integrados para enquadrar um circuito que tenha estas características e não esquecer que o display é de anodo comum o que significa que os catodos de cada segmento será interligado na saída do decodificador. Assim para ativar este segmento cujo anodo é ligado em +Vcc e o catodo na saída do CI decodificador, necessitamos inicialmente em primeiro lugar, introduzir uma resistência limitadora de corrente em série com cada segmento, assim 07 resistores e em segundo lugar, uma saída ativa do CI decodificador por lógica negativa, pois somente quando a saída vai a NLO é que o segmento é ativo ou acende (circula corrente entre o anodo do display, catodo, resistor e encerra passando pela saída do CI. O circuito a seguir mostra com detalhes a configuração do item a). O circuito decodificador que segue essas propriedades descritas da família de circuitos integrados TTL, poderia ser escolhido o CI de qualquer outra

família de circuitos integrados, foi o CI 7447. A seguir mostraremos através do diagrama de blocos como são realizadas as interligações do circuito final.



O valor do resistor R_X , para ativar os segmentos, deve ser calculado, verificando os seguintes parâmetros do manual de características técnicas.

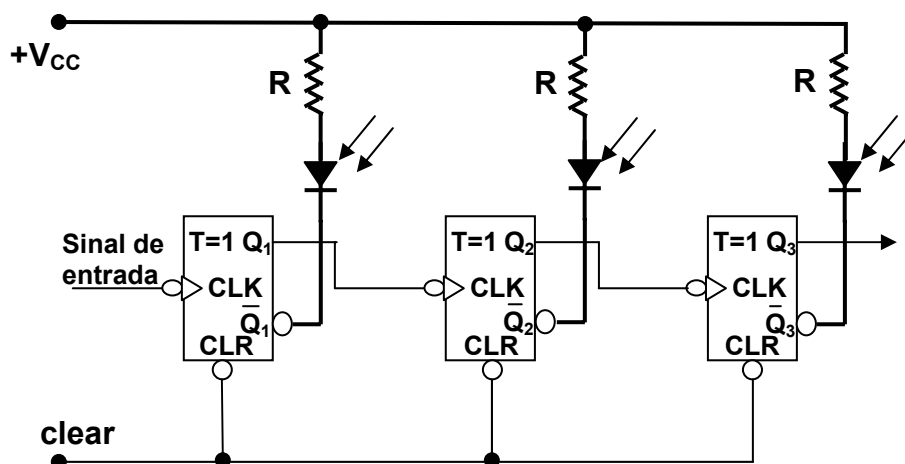
Os parâmetros são :

- 1-) Corrente I_F de condição do segmento = 20mA ($\lambda=660\mu\text{m}$);
- 2-) Tensão direta V_F de condução do segmento = 3,8V

$$R_X = \frac{(V_{CC} - V_F)}{I_F} = \frac{(5 - 3,8) \text{ V}}{20\text{mA}} = 60\Omega$$

5.1 Diagrama de estados de um contador

Para melhor explicar o diagrama de estados, vamos exemplificar com uma aplicação de 03 F/Fs interligados em cascata e cuja saída de cada F/F é interligado a um led, para a visualização de cada estado do contador.

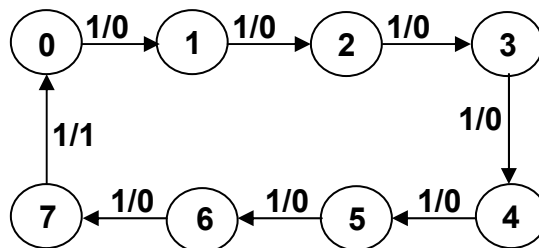


Observando o circuito o led está ligado na saída /Q, isso quer dizer que quando a saída Q=1, o led estará ativo pois /Q = 0 e com NL0 sob o catodo do led, a corrente circula. Da mesma forma utilizada no cálculo do resistor no circuito do display, vamos utilizar alguns dados característicos do led, como :

- Tensão direta $V_F = 1,6V$;
- Corrente $I_F = 10mA$.

$$\text{O valor de } R = \frac{V_{CC} - V_F}{I_F} = \frac{5 - 1,6}{10mA} = 340 \Omega.$$

O diagrama de estados do contador de 0 a 7, crescente é apresentado a seguir.



Como o circuito não possui realimentação ele percorre os estados de 0 a 7, conforme a malha apresentada.

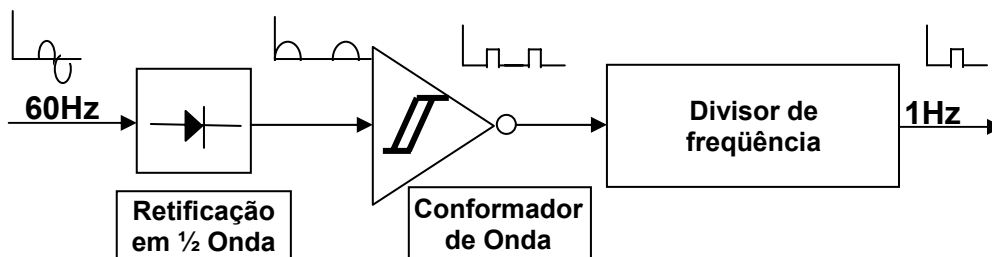
Com esse tipo de aplicação para visualização dos estados nos leds, a freqüência de entrada não pode ser alta, recomenda-se uma freqüência de entrada de 1Hz.

EXEMPLO : Deseja-se construir um sistema de geração de clock para aplicação do exemplo anterior, partindo de uma freqüência de entrada de 60Hz.

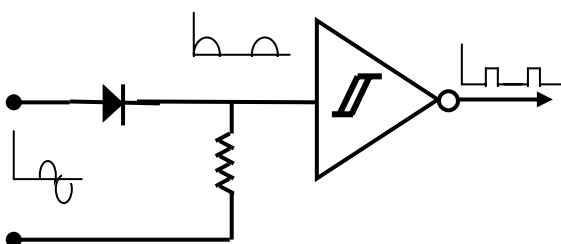
- Esboçar o diagrama de bloco do sistema completo;
- Conformador de pulso;
- Circuito divisor de freqüência 60Hz para 1Hz;

SOLUÇÃO :

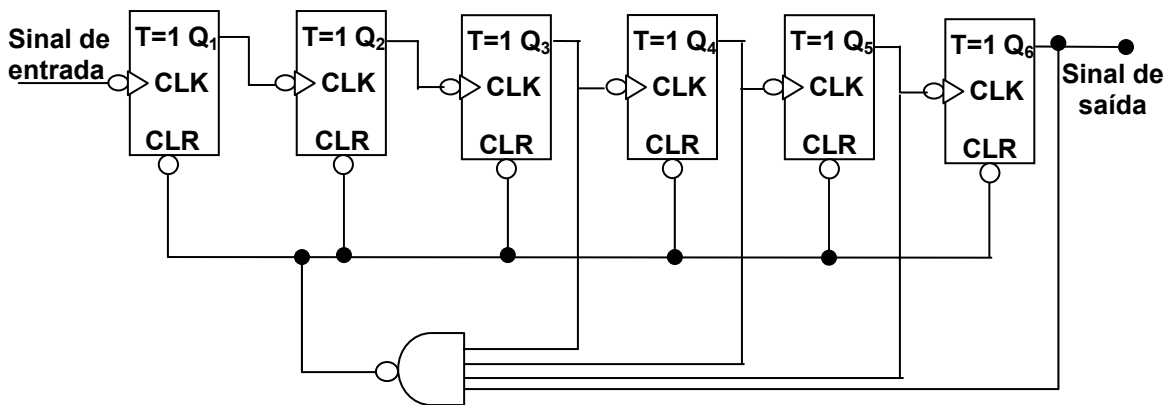
- Diagrama de blocos do sistema divisor.



- Conformador de pulso circuito completo.



c) Divisor de freqüência por 60.



O contador contará até 64, 2^6 , pois temos 06 F/Fs interligados mas porém com a realimentação de estados realizados para $Q_6 = Q_5 = Q_4 = Q_3 = 1$ e assim nessa condição o contador está no estado 60. A saída da porta lógica vai a NLO e zera o contador, que conta de 0 a 59 estados. Observar pela tabela de estados que a condição acima ocorre nos estados 60,61,62 e 63 mas atinge em primeiro lugar o número 60 e assim independe das saídas Q_1 e Q_2 que não necessitam ser utilizadas no circuito de realimentação para detetar o estado 60.

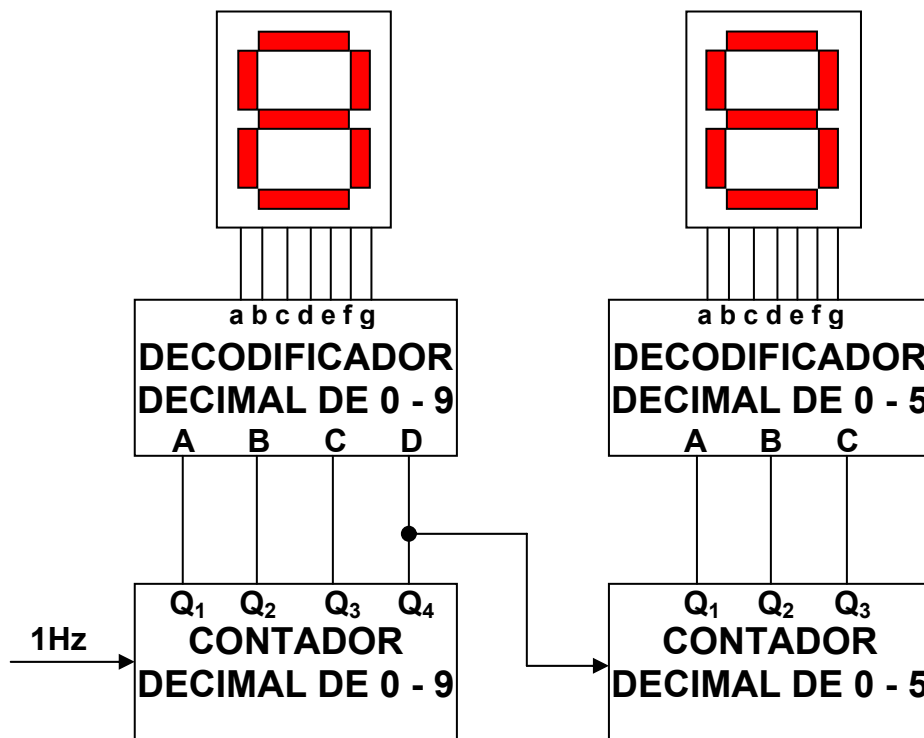
Vimos com essa aplicação um contador que conta em binário de 0 a 59, mas existem contadores decimais.

CONTADORES ASSÍNCRONOS DECIMAIS

A implementação de contadores na base 10 não é diferente dos contadores binários, com a diferença que cada dígito de contagem utilizamos módulo de 4 F/Fs interligados em cascata com realimentação de estado para 10. A saída do último F/F de cada módulo será entrada do próximo módulo e a divisão final será na potência de 10 ou seja 10^n , onde n é o número de módulos de contadores. Por exemplo para 2 módulos ou 2 dígitos a divisão será 10^2 ou 100. Como exemplo vamos construir um relógio cronômetro para 60 segundos e vamos utilizar um decodificador decimal e um display.

Como já implementamos o contador módulo 10 com 04 F/Fs, vamos representar este contador em bloco como é mostrado na figura a seguir e idem para o decodificador e display. O segundo contador será módulo 6 e terá um realimentação no estado 6, ou seja $Q_3 = Q_2 = 1$, estado 6-110. Usamos somente 3 F/Fs pois o módulo é menor do que 8, assim 3 F/Fs serão suficientes. Uma única porta lógica de 02 entradas, sendo uma ligada à saída Q_3 e a outra em Q_2 e a saída da porta lógica ligada ao clear de cada um dos F/Fs. O circuito a seguir em blocos mostra o cronômetro de 60s.

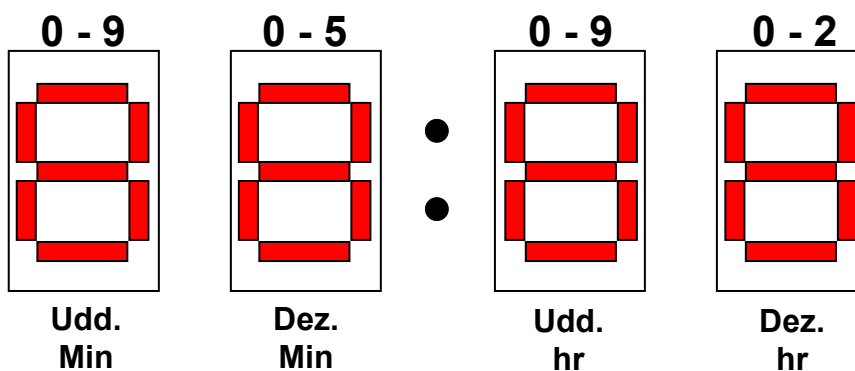
Cronômetro de 60s.



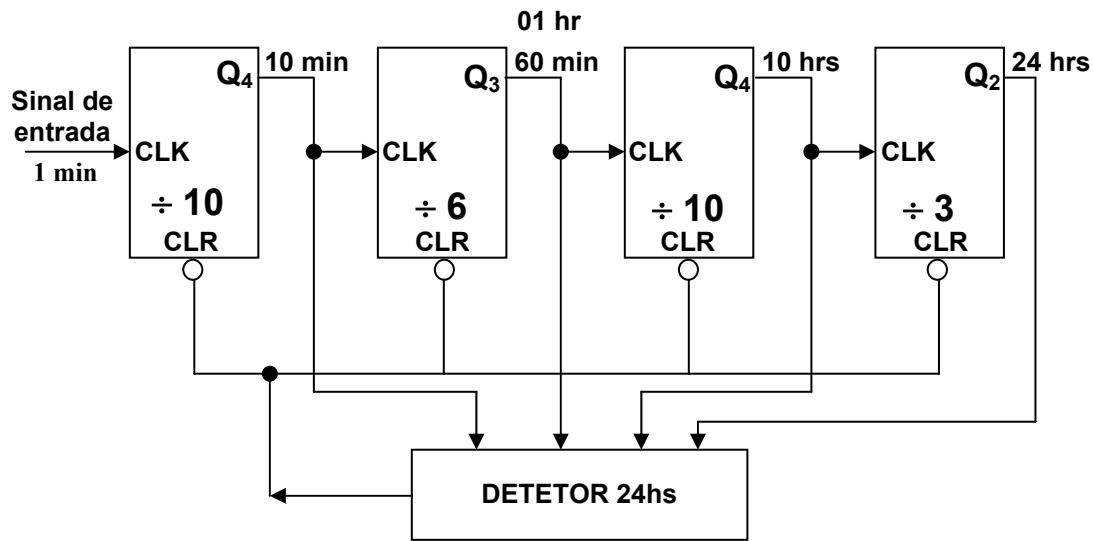
Agora que o cronômetro foi projetado, podemos projetar um relógio de 4 dígitos sendo os primeiros 2 dígitos relativos a unidade e dezena de horas e os 2 dígitos seguintes relativos a unidade e dezena de minutos.

O sinal de entrada do relógio será gerado pelo circuito do cronômetro utilizando a saída Q₃ do contador de 0 a 5 e lógica negativa na entrada do primeiro módulo de contagem de 0 a 9 relativo a dezena de minutos. Quando a saída Q₃ for de NL1 para NL0 será um pulso de saída para o módulo dezena de minutos adicionar mais 1 ao seu valor de contagem. A saída Q₃ só executa esta transição de NL1 para NL0 quando for 60s ou 01 minuto.

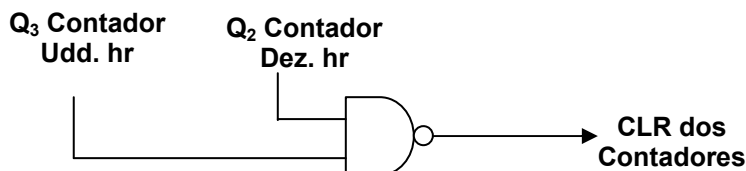
Visualização dos dígitos do relógio para horas e minutos.



O diagrama em blocos dos contadores teremos para o primeiro dígito, unidade de minutos, um contador crescente módulo 10 de 0 a 9, para o segundo dígito, dezena de minutos, um contador crescente módulo 6 de 0 a 5. Para o terceiro dígito, unidade de horas, um contador crescente módulo 10 de 0 a 9 e para o quarto dígito, dezena de horas, um contador crescente módulo 3 de 0 a 2. A figura a seguir mostra o diagrama de blocos do relógio.



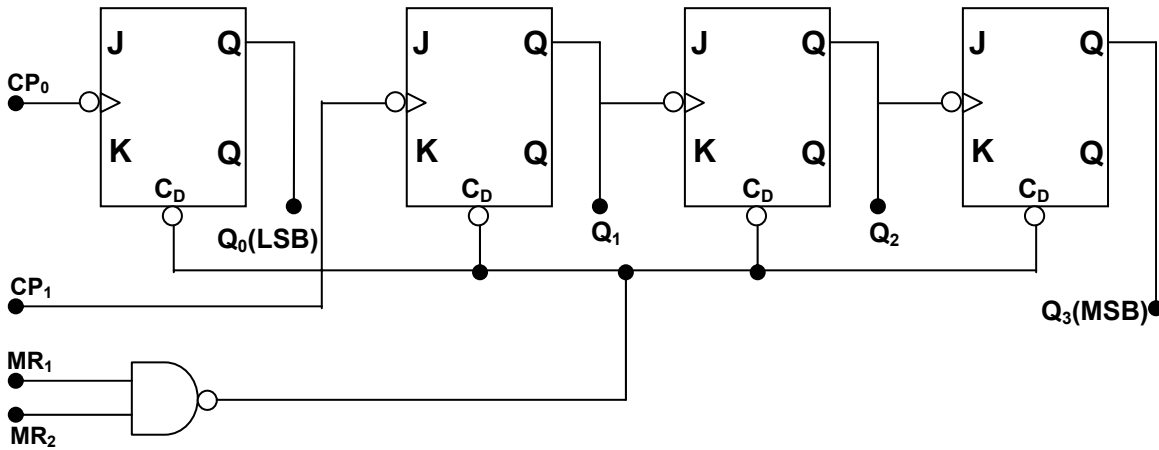
No diagrama de blocos acima não incluímos os blocos decodificadores e displays. Mas introduzimos um circuito para a detecção das 24 horas onde o relógio deve ser zerado pois 24 hs é o mesmo que 0 hs. Os divisores de freqüências foram realizados em exemplos anteriores restando somente a realização do circuito combinatório detetor de 24 horas. Quando os contadores atingem o estado 24:00, o contador de dezena de horas está no estado interno 2-10, onde $Q_2 = 1$, o contador da unidade de horas está no estado interno 4-100, onde $Q_3 = 1$, os contadores seguintes relativos aos minutos estão zerados e são irrelevantes para a detecção do estado 24 pois observando o minuto anterior o relógio marcava 23:59 e somente o contador de dezena de horas estava no estado interno 2-10, daí no próximo estado o contador de unidade de horas chega ao estado 4-100. O circuito de detecção será uma porta lógica NAND de 02 entradas interligadas uma em Q_2 do contador de dezena de horas e outra entrada da porta NAND interligada em Q_3 do contador de unidade de horas. A saída da porta NAND será interligada na entrada do clear de todos os contadores.



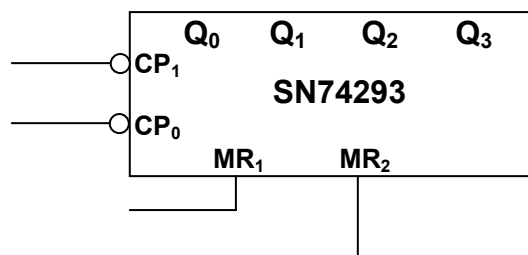
Para a realização de relógios decrescentes, utilizados em cronômetros esportivos em provas contra o relógio ou mesmo em placares eletrônicos, a implementação desses relógios são feitos com contadores decrescentes como foi mostrado em exemplos anteriores.

UTILIZAÇÃO DE CONTADORES COMERCIAIS

Com a chegada dos circuitos integrados uma gama larga de contadores forma disponibilizados para a sua utilização em aplicações diversas. Um contador assíncrono muito utilizado foi o SN7490, um contador assíncrono da família TTL divisor módulo 5 e 10 e atualmente obsoleto e em seu lugar ainda hoje é encontrado do 74290, apresentaremos o estudo um contador da mesma família, o SN74293 cujo diagrama lógico é mostrado a seguir. Este contador é muito utilizado como divisor de freqüência. Diagrama de blocos do contador comercial assíncrono SN74293.



O contador assíncrono crescente SN74293, possui 04 F/Fs JK interligados como tipo T, ou seja $J = K = 1$, possui 01 entrada sensível a lógica negativa de transição e 01 entrada clear assíncrona, ou seja independente do relógio. Possui uma saída Q que está ou não interligada a outro F/F. Não possui um módulo fixo de contagem ou de divisão de freqüência em virtude do primeiro F/F ser independente dos demais F/Fs. Desta forma pode-se dividir a freqüência de entrada diretamente por 02 ou por 8, sendo por 02 usando somente o primeiro F/F, entrando com a freqüência de entrada por CP_0 e colhendo a divisão de freqüência na saída Q_0 e sendo por 8 usando a entrada correspondente CP_1 e a saída Q_3 . Podemos representar o contador SN 74293 por um bloco simbólico como a seguir.



A tabela da verdade mostra o funcional do contador SN 74293.

Entradas Resets		Saídas			
MR_1	MR_2	Q_0	Q_1	Q_2	Q_3
1	1	0	0	0	0
0	1	Conta			
1	0	Conta			
0	0	Conta			

A tabela da verdade do contador interligado Q_0 com CP_1 é mostrada a seguir.

Contagem	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

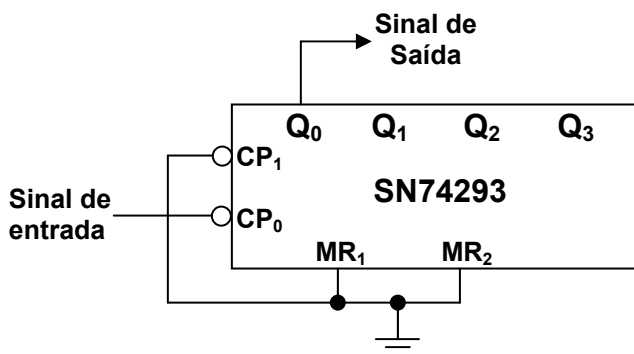
Pode-se conseguir outras divisões de freqüência como por 3, 4, 5, 6, 7, 9, 10, 11, 12, 13, 14, 15 e 16. Para todas estas divisões exceto 4 e 16 são necessárias realimentações de estados internos ou diretas usando as entradas MR_1 e MR_2 ou por auxílio de lógica externa, casos como divisões por 7, 11, 13, 14 e 15. Para melhor exemplificar a divisão de freqüência, os próximos exemplos tem o objetivo de mostrar as divisões de freqüência obtidas com esse contador e as formas de realimentações possíveis.

1) Divisão de freqüência por 2

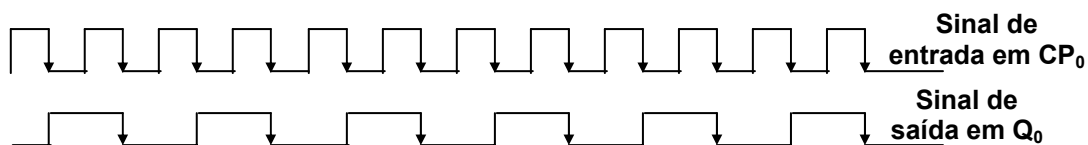
Esta divisão de freqüência pode ser obtida de 02 formas, como a seguir :

I. Entrando com a freqüência de entrada por CP_0 e colhendo a saída em Q_0 ;
 O diagrama lógico a seguir mostra a divisão de freqüência por 2.

FORMA I : Diagrama lógico da divisão por 2.

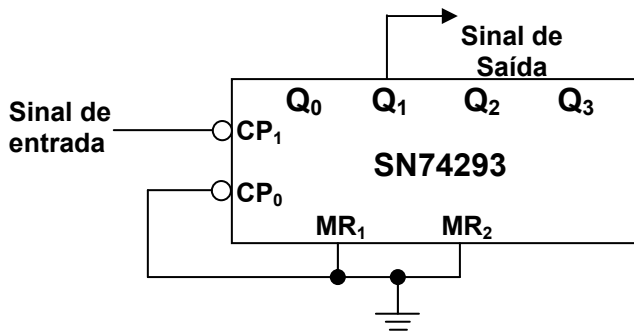


FORMA I : Formas de ondas da divisão de freqüência por 2.

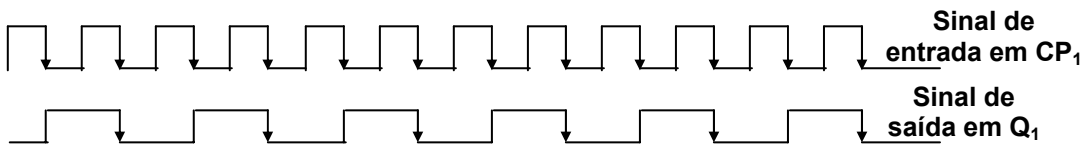


II. Entrando com a freqüência de entrada por CP_1 e colhendo a saída em Q_1 ;

FORMA II : Diagrama lógico da divisão de freqüência por 2.



FORMA II : Formas de ondas do divisor de freqüência por 2.



2) Divisão de freqüência por 3.

Esta divisão de freqüência pode ser obtida de 02 formas, mas devemos utilizar 02 F/Fs do contador conforme a seguir :

I. Interligando a saída Q_0 do 1.o F/F à entrada CP_1 do 2.o F/F e entrando com a freqüência de entrada por CP_0 e colhendo a saída em Q_1 . É necessário uma realimentação de estado interno 3 para esta divisão interligando Q_0 e Q_1 em MR_1 e MR_2 , para a lógica de realimentação. A seguir mostramos as formas de ondas de entrada e saída, bem como a forma de onda da realimentação no estado 3.

FORMA I : Diagrama lógico do divisão de freqüência por 3.

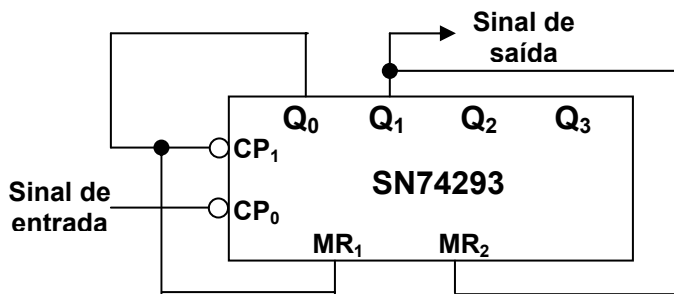
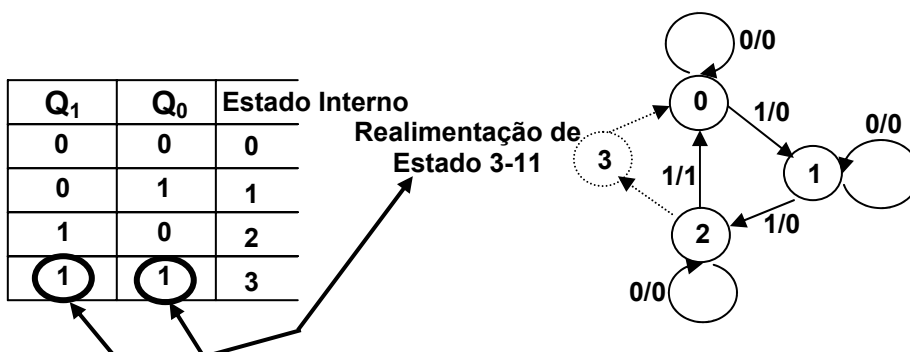
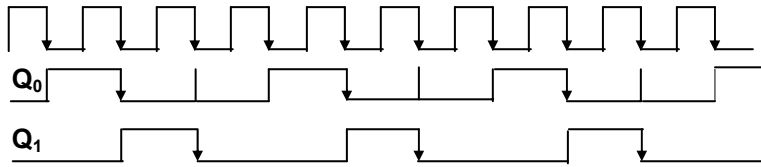


Tabela de estados do divisor de freqüência por 3 e realimentação de estados. Para a escolha da realimentação procura-se dentro do estado da divisão, as condições que as diferencie dos estados anteriores. Para o divisor por 3 $Q_1 = 1$ e $Q_0 = 1$, não ocorre nos estados anteriores e necessita-se das 02 saídas simultâneas para a realimentação no estado 3.



FORMA I : Formas de ondas de divisão de freqüência por 3.



II. Entrando com a freqüência de entrada por CP_1 e colhendo a saída em Q_2 , realizando a realimentação de Q_1 e Q_2 em MR_1 e MR_2 . A seguir mostramos o diagrama lógico e as formas de ondas apresentadas.

FORMA II : Diagrama lógico da divisão de freqüência por 3

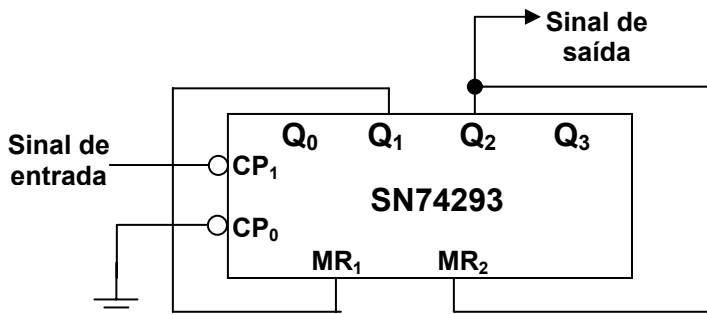
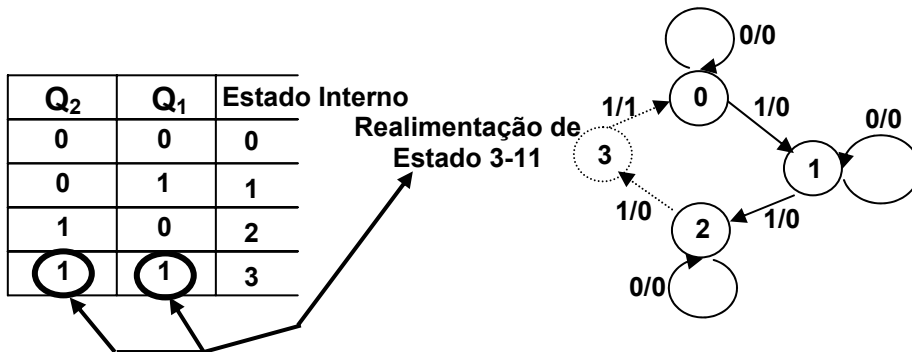
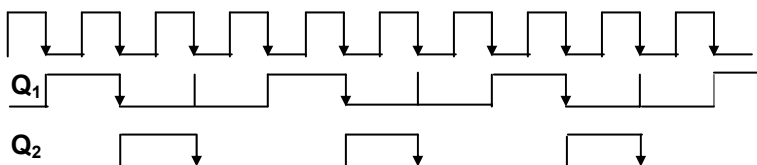


Tabela de estados do divisor de freqüência por 3 e realimentação de estados. Para a escolha da realimentação procura-se dentro do estado da divisão, as condições que as diferencie dos estados anteriores. Para o divisor por 3 $Q_2 = 1$ e $Q_1 = 1$, não ocorre nos estados anteriores e necessita-se das 02 saídas simultâneas para a realimentação no estado 3.



FORMA II : Formas de ondas de divisão de freqüência por 3.



Sempre deve existir uma saída da divisão de freqüência, o que se deve fazer é escolher como colher a saída. Por exemplo, se a lógica da freqüência de entrada é positiva, a lógica de saída recomendada deve ser a mesma e o mesmo se dá quando a lógica da freqüência de entrada for negativa, onde é o nosso caso do exemplo. Veja que a saída se dá sempre no estado da divisão escolhida e a saída onde se colhe a divisão vai sempre de NL1 para NL0. A cada número de estados da divisão a saída sofre uma transição de estado e o

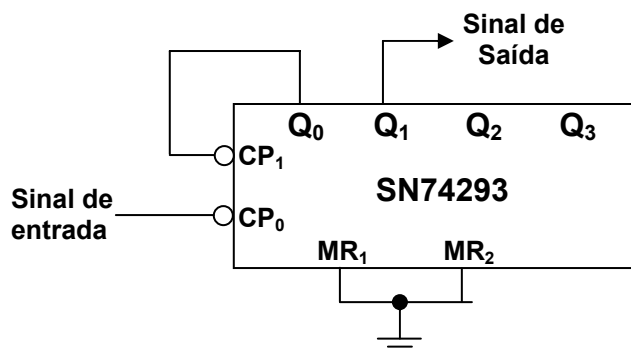
circuito avante que coleta esta saída deve ser sensível à mesma lógica, para entender o pulso de transição da saída. Caso a lógica escolhida avante seja diferente da lógica de entrada do sinal no divisor, não é problema pois é só observar a tabela da verdade e quando o sinal de saída deve subir ou descer para o circuito entender esta transição. Por exemplo no divisor por 3 a lógica de entrada é negativa e a lógica de saída do circuito é positiva. Como fica o circuito de realimentação de estado para esta divisão ? A seguir mostramos como executar a divisão de freqüência, escolhendo lógicas diferentes entre a entrada e a saída do divisor de freqüência do sinal de entrada. Supondo que o circuito avante do divisor de freqüência, somente entenda a lógica positiva, ou seja, só responde quando o sinal de entrada for 1/3 da freqüência de entrada. Então para a implementação da saída do divisor para a lógica positiva, deve-se inicialmente observar a tabela da verdade e assim para a divisão por 3, este estado deve ser zerado, ou seja do clear para o estado 0, enfim quando o divisor estiver no estado 3, o circuito de realimentação deve zerar o estado interno do divisor. Como a lógica de colheita é positiva, uma variação na saída de NL0 para NL1 deve ser observada. Analisando-se a tabela da verdade, constata-se a saída que deve ser utilizada deverá ser o complemento da saída Q_2 utilizada no exemplo anterior ou seja $\overline{Q_2}$.

3) Divisão de freqüência por 4

Esta divisão de freqüência pode ser obtida de 04 formas, mas devemos utilizar 02 F/Fs do contador conforme a seguir :

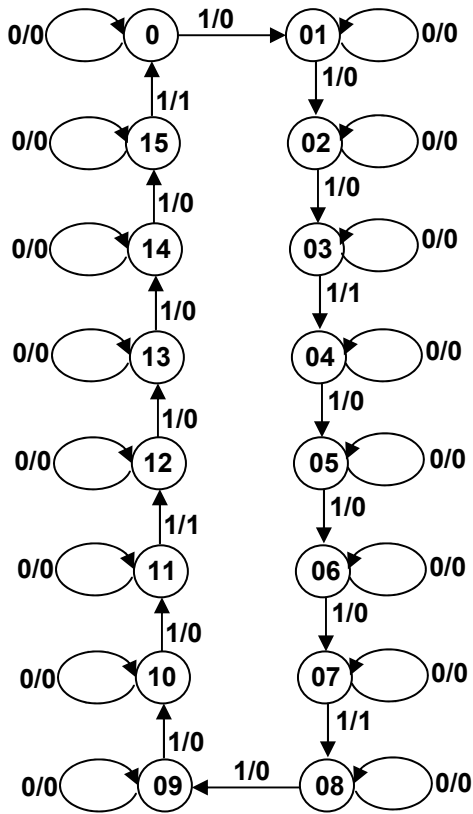
I. Entrando com a freqüência de entrada por CP_0 e colhendo a saída em Q_1 , mas interligando a entrada CP_1 à saída Q_0 . Como o contador é binário e a divisão é múltipla de potência de 2 (2^2), não é necessário a realimentação do estado interno 4 para zerar o contador nesse estado, fica opcional essa realimentação.

FORMA I : Diagrama lógico de divisão por 4.



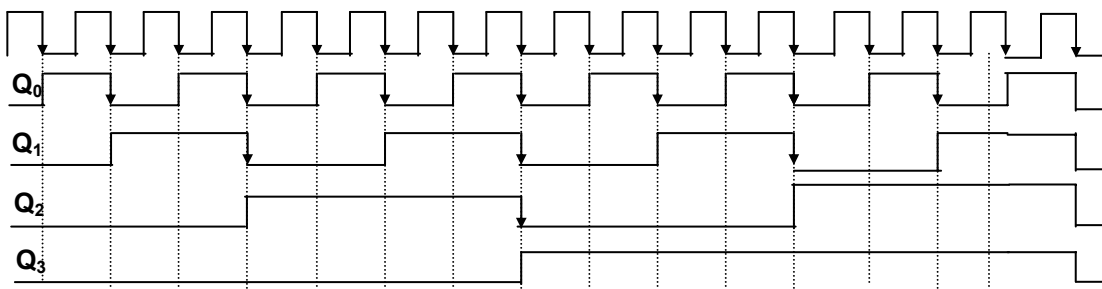
A seguir mostra-se a tabela de estados do divisor de freqüência por 4 sem realimentação de estados para a divisão de freqüência por 4, por não ser necessária e ser irrelevante. Para a saída do contador ou do divisor de freqüência, todo o instante em que Q_1 fizer a transição de NL1 para NL0, a saída será colhida pelo circuito ligado à saída do divisor. No diagrama de estados do divisor apresentado a seguir, a saída se dá na transição do estado 3 para o estado 4, do estado 7 para o estado 8, do estado 11 para o estado 12 e do estado 15 para o estado 0, daí o ciclo se repete, enquanto houver sinal de freqüência na entrada do divisor de freqüência. Pela tabela da verdade apresentada também é possível visualizar a saída, observando a saída Q_1 , mostrado pelo círculo no estado de transição para o próximo estado. Dessa forma fica provado que é irrelevante a realimentação para divisões múltiplas de 2^n , onde n é o número de estágios F/Fs e assim o 1.o F/F divide por 2, o 2.o por 4 e assim sucessivamente. A seguir mostra-se o diagrama e tabela de estados do divisor por 4.

Q ₃	Q ₂	Q ₁	Q ₀	Estado Interno
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15



As formas de ondas são apresentadas a seguir para o divisor por 4 com a saída em Q₁.

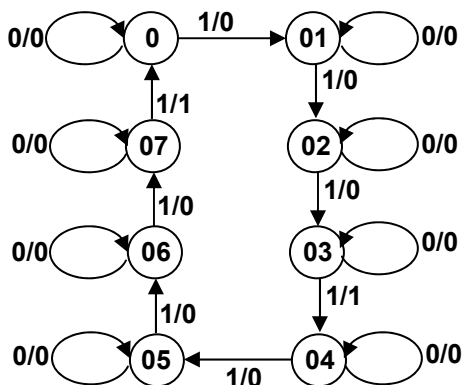
FORMA I : Formas de ondas do divisor por 4.



- I. Entrando com a frequência de entrada por CP₁ e colhendo a saída em Q₂. Como o contador é binário e a divisão é múltipla de potência de 2 (2²), não é necessário a realimentação do estado interno 4 para zerar o contador nesse estado, fica opcional essa realimentação.

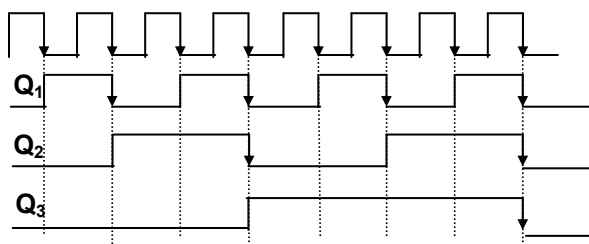
FORMA II : Diagrama lógico do divisor por 4.

	Q ₃	Q ₂	Q ₁	Estado Interno
	0	0	0	0
	0	0	1	1
	0	1	0	2
	0	1	1	3
	1	0	0	4
	1	0	1	5
	1	1	0	6
	1	1	1	7



Da mesma forma anterior o contador sem realimentação e entrando por CP₁, o módulo do contador é igual a 8 e não 16. Daí a saída para o divisor será realizado em Q₂, conforme é mostrado no diagrama de estados e também na tabela da verdade, pelo círculo circunscrito no NL1 dos estados 3 e 7.

FORMA II : Formas de ondas do divisor por 4.



III. Entrando com a freqüência de entrada por CP₀ e colhendo a saída em Q₁, mas interligando a entrada CP₁ à saída Q₀. Para a divisão por 04 é detetado o estado 4-100, onde Q₂ = 1 e interligado às entradas MR₁ e MR₂ simultaneamente. O circuito a seguir mostra o diagrama lógico e as formas de ondas do divisor por 4.

FORMA III : Diagrama lógico do divisor de freqüência por 4.

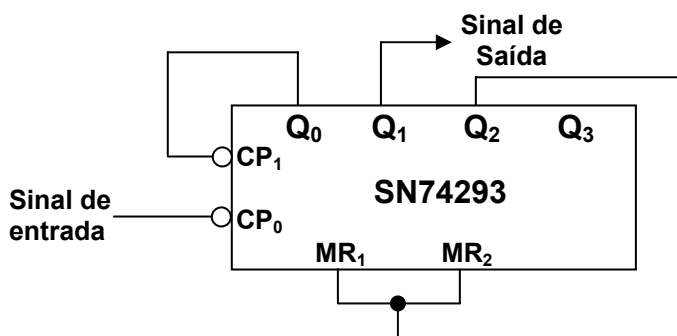
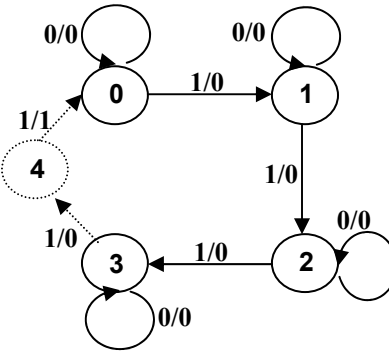


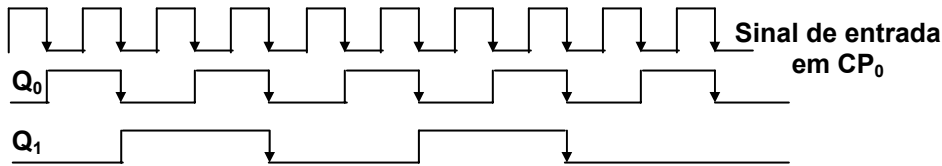
Tabela de estados do divisor de freqüência por 4 e realimentação de estados. Para a escolha das saídas usadas na realimentação no divisor por 04, busca-se dentro do estado 4 a condição diferente das demais que é Q₂ = 1. Esta condição não ocorre em nenhum estado anterior ao estado 4.

Q ₂	Q ₁	Q ₀	Estado Interno
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4

Realimentação de Estado 4-100



FORMA III : Formas de ondas da divisão de freqüência por 4.



IV. Entrando com a freqüência de entrada por CP₁ e colhendo a saída em Q₂;

FORMA IV : Diagrama lógico da divisão de freqüência por 4.

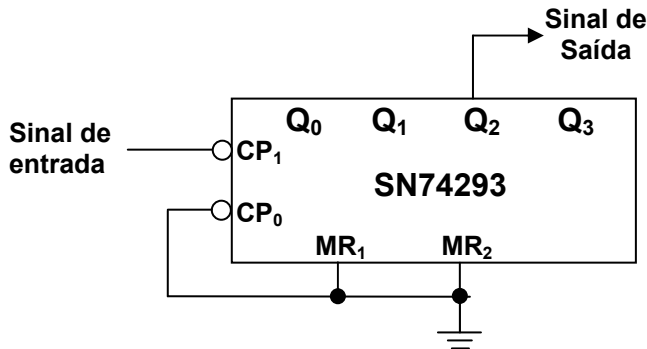
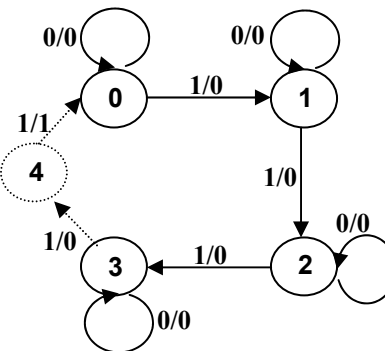


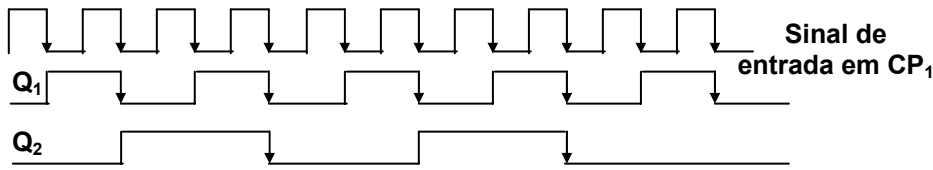
Tabela de estados do divisor de freqüência por 3 e realimentação de estados. Para a escolha da realimentação procura-se dentro do estado da divisão, as condições que as diferencie dos estados anteriores. Para o divisor por 3 Q₂ = 1 e Q₁ = 1, não ocorre nos estados anteriores e necessita-se das 02 saídas simultâneas para a realimentação no estado 3.

Q ₂	Q ₁	Q ₀	Estado Interno
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4

Realimentação de Estado 4-100



FORMA IV: Formas de ondas da divisão de freqüência por 4.



As próximas implementações do contador divisor de freqüência serão módulos 5, 7, 12 e 15. Fica como exercício as divisões de freqüências módulos 6, 8, 9, 10, 11, 13, 14 e 16. Embora sabemos que as divisões de freqüências módulos múltiplos da potência de 2 são diretas e não necessitam de realimentações, tais como 8 e 16.

4) Divisão de freqüência por 5.

Existem 2 formas para a implementação do divisor de freqüência por 5 que utiliza 3 F/Fs.

I. Interligando a saída Q_0 do 1.o F/F à entrada CP_1 do 2.o F/F e entrando com a freqüência de entrada por CP_0 e colhendo a saída em Q_2 . É necessário uma realimentação de estado interno 5 para esta divisão interligando Q_0 e Q_2 em MR_1 e MR_2 , para a lógica de realimentação. A seguir mostramos as formas de ondas de entrada e saída, bem como a forma de onda da realimentação no estado 5.

FORMA I : Diagrama lógico da divisão de freqüência por 5.

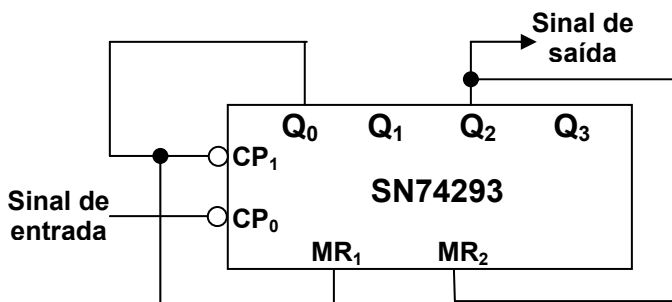
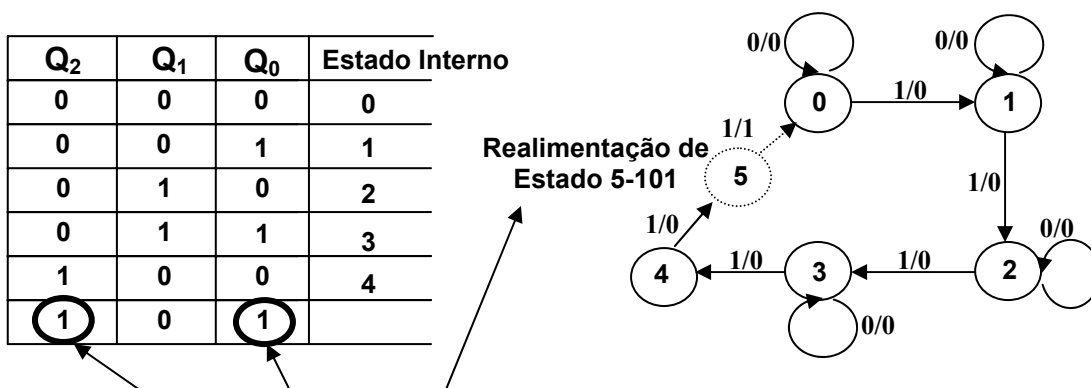
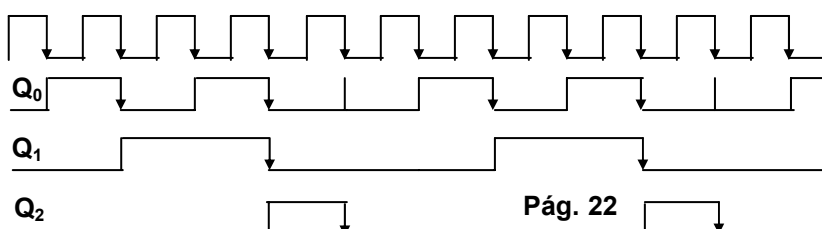


Tabela de estados do divisor de freqüência por 5 e realimentação de estados.



FORMA I : Formas de ondas da divisão de freqüência por 5.



I. Entrando com a freqüência de entrada por CP₁ e colhendo a saída em Q₃, realizando a realimentação de Q₂ e Q₃ em MR₁ e MR₂. A seguir mostramos o diagrama lógico e as formas de ondas apresentadas.

FORMA II : Diagrama lógico da divisão de freqüência por 5.

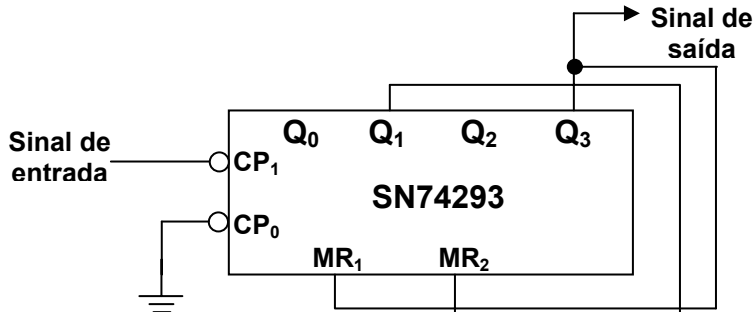
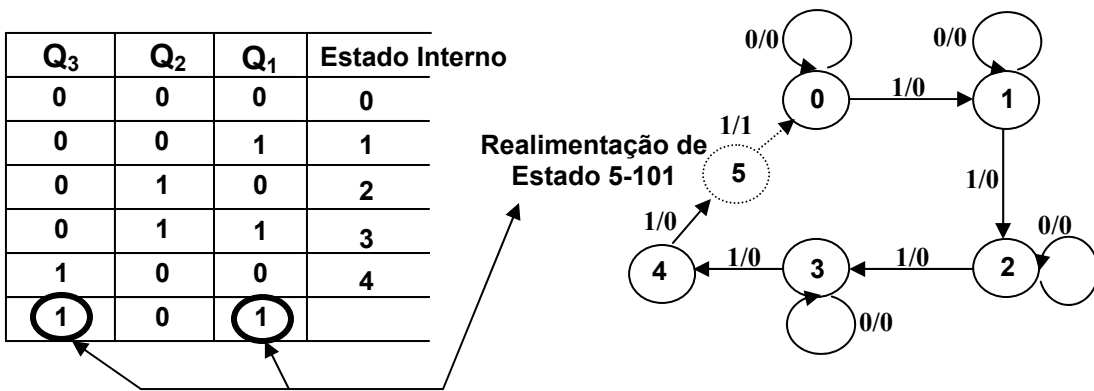
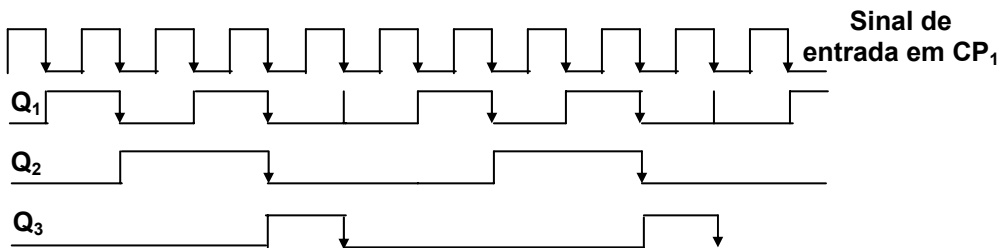


Tabela de estados do divisor de freqüência por 5 e realimentação de estados.



FORMA II : Formas de ondas da divisão de freqüência por 5.

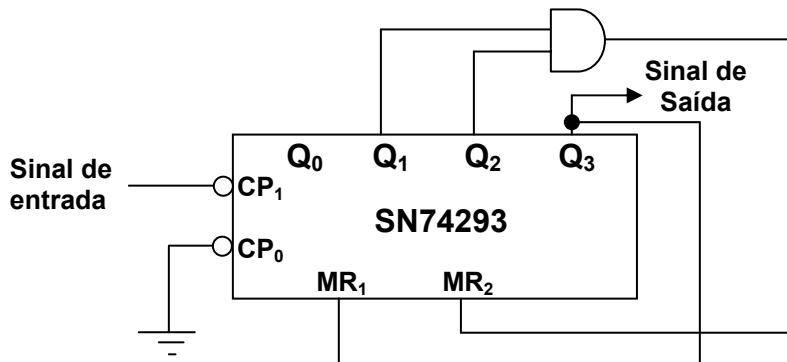


5) Divisão de freqüência por 7.

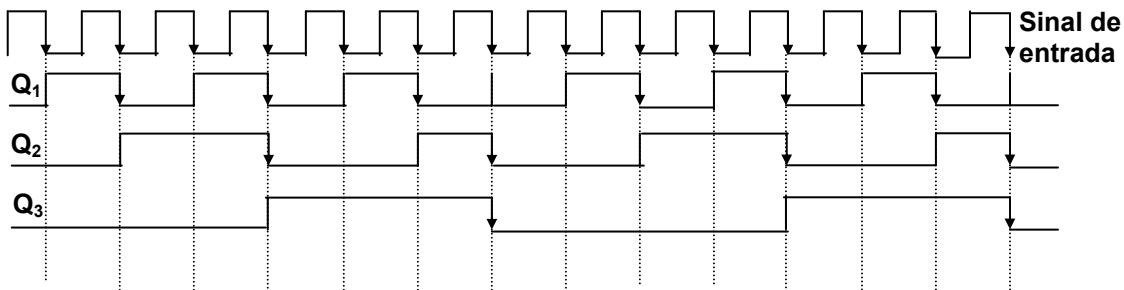
Nesse caso é necessário uma lógica adicional pois o estado interno 7-111 as 3 saídas estão em NL1 e é preciso detetar esta condição. Como o circuito lógico da porta NAND do contador SN74293 possui apenas 2 entradas não é possível a interligação direta sem o auxílio de uma porta lógica externa (são 3 saídas para somente 2 entradas). Uma porta lógica AND pois a condição para MR₁ e MR₂ é de lógica positiva NL1, interligamos a esta porta AND 02 das saídas, qualquer delas e com a saída da porta AND interliga-se diretamente em uma das entradas MR e com a terceira saída a interligação torna-se direta na outra MR. Por exemplo as 02 entradas da porta NAND interligadas em Q₁ e Q₂ do contador e a saída da porta NAND interligada a MR₁ do contador e a saída restante Q₃ do contador interligada diretamente a MR₂. Da mesma forma que os outros divisores de freqüências aqui estudados existem 02 formas de divisão de freqüência,.

- I. Usando o processo descrito como porta auxiliar e usando a freqüência de entrada por CP₁ e as saídas dos F/Fs Q₁, Q₂ e Q₃, com a lógica auxiliar AND.

FORMA I : Diagrama lógica da divisão por 7.

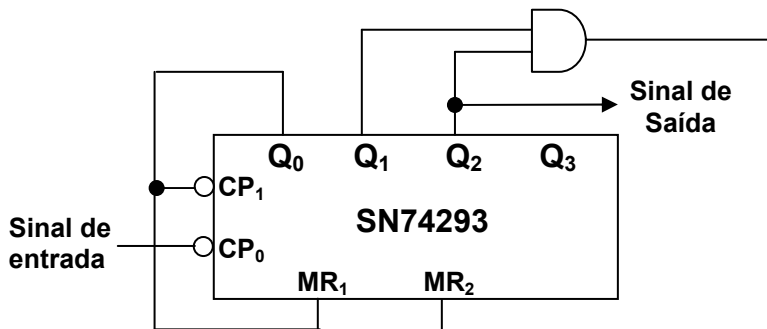


FORMA I : Formas de ondas da divisão por 7.

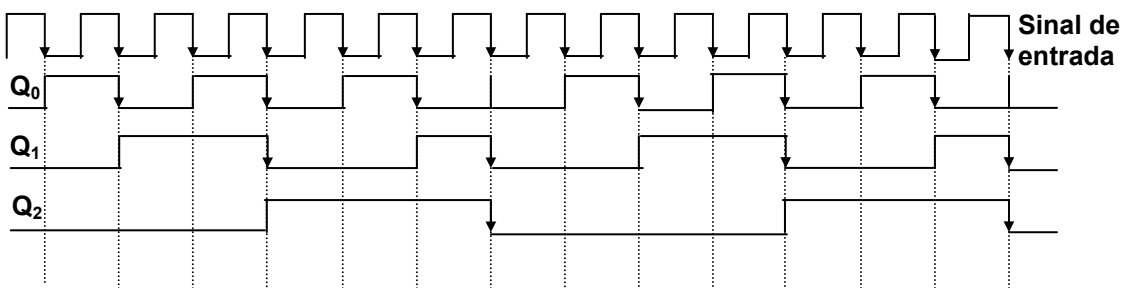


- II. Usando o mesmo procedimento anterior porém para os F/Fs Q₀, Q₁ e Q₂.

FORMA 2 : Diagrama lógico do divisor de freqüência por 7.



FORMA II : Formas de ondas da divisão de freqüência por 7.

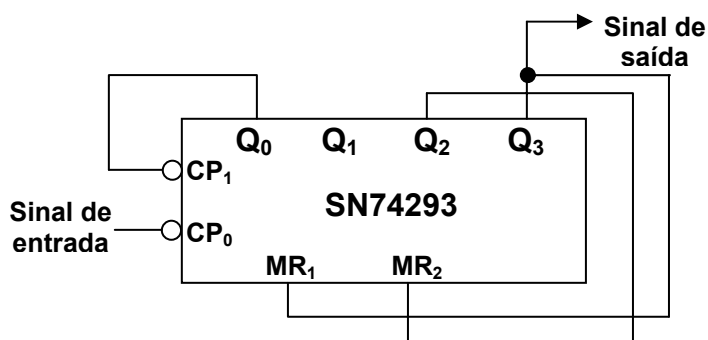


6) Divisão de freqüência por 12.

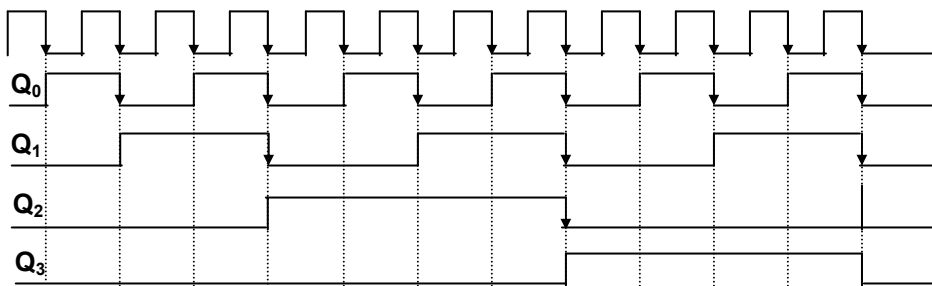
Para a divisão por 12 poderemos realizar o circuito divisor de 02 formas diferentes, utilizando os 4 F/Fs, com realimentação de estado interno 12 interligando 02 saídas dos F/Fs, sendo as MSB do contador, nas entradas MR₁ e MR₂. A seguir mostramos as 2 formas, apresentando o diagrama lógico e as formas de ondas do divisor de freqüência por 12.

1) Entrando com o sinal de freqüência de entrada por CP₀ e colhendo a saída pelo F/F Q₃ e usando a porta lógica NAND interna, interligada às saídas dos F/Fs Q₃ e Q₂.

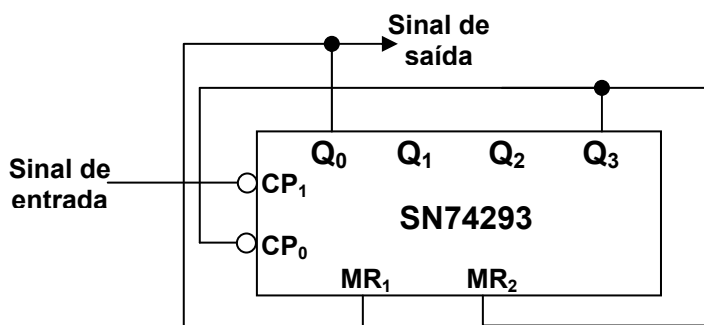
FORMA I : Diagrama lógico do divisor de freqüência por 12.



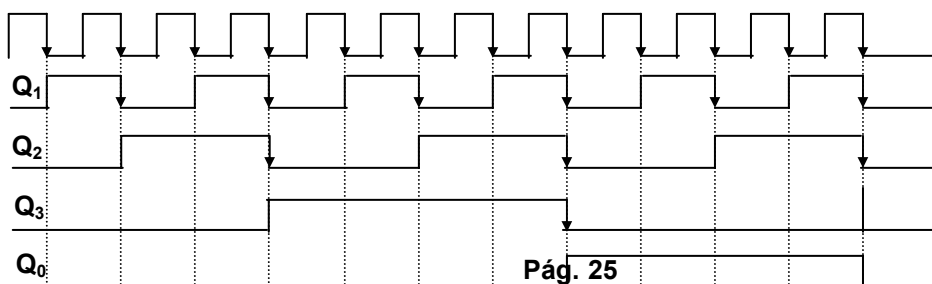
FORMA I : Formas de ondas do divisor de freqüência por 12.



FORMA II : Diagrama lógico do divisor de freqüência por 12.



FORMA II : Formas de ondas do divisor de freqüência por 12.

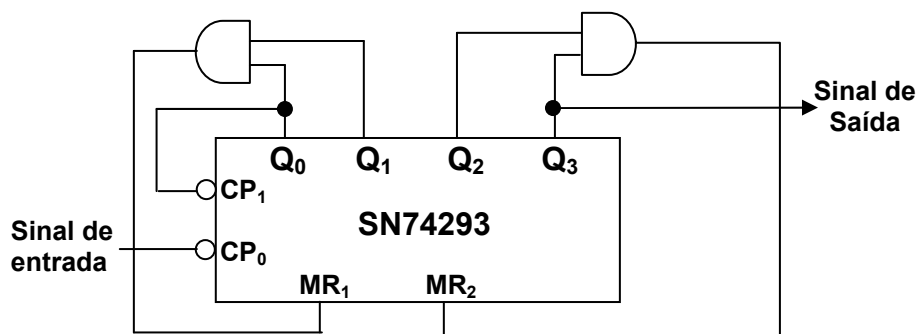


7) Divisão de freqüência por 15

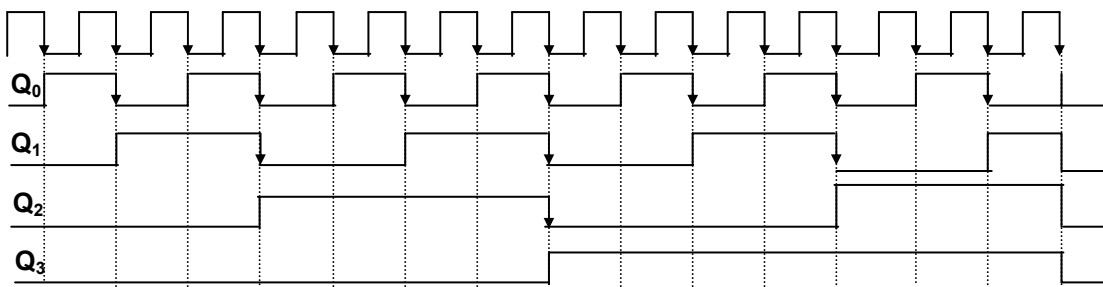
Da mesma forma utilizada na implementação do divisor por 12 usaremos para a implementação do divisor de freqüência por 15. O que muda bastante é o circuito de realimentação de estado interno. Devemos detectar o estado 15 para a divisão de freqüência por 15, de 0 a 14, e as 4 saídas do contador Q_3, Q_2, Q_1 e $Q_0 = 1$. Como existem somente 2 entradas de reset do contador, uma lógica auxiliar com 02 portas AND, de 02 entradas cada para interligações com as saídas dos F/Fs do contador e cujas suas saídas destas portas AND são interligadas em MR_1 e MR_2 . Existem 02 formas de implementação e a seguir mostramos o diagrama lógico de cada forma bem como as suas formas de ondas apresentadas.

I. Entrando por CP_0 e interligando o 1.o F/F com os demais através da interligação de CP_1 com Q_0 . Introduzindo 2 portas lógicas AND de 02 entradas a fim de interligar Q_0 e Q_1 em 01 das portas AND e sua saída a MR_1 e mesmo procedimento para a 2.a portas lógicas AND de 02 entradas. Ligamos Q_2 e Q_3 a estas entradas e a saída desta porta AND interligamos a MR_2 .

FORMA I : Diagrama lógico do divisor de freqüência por 15.

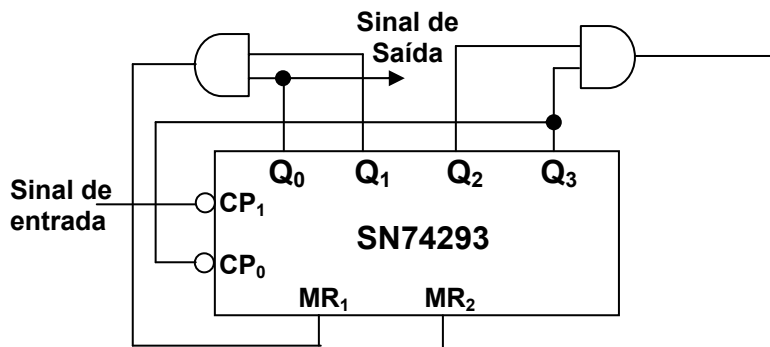


FORMA I : Formas de ondas do divisor de frequência por 15.

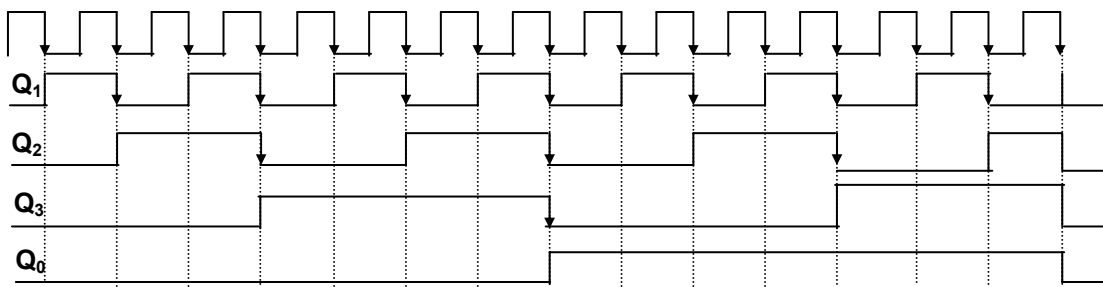


II. Entrando por CP_1 e interligando o 1.o F/F com os demais através da interligação de CP_1 com Q_3 . Introduzindo 2 portas lógicas AND de 02 entradas a fim de interligar Q_0 e Q_1 em 01 das portas AND e sua saída a MR_1 e mesmo procedimento para a 2.a portas lógicas AND de 02 entradas. Ligamos Q_2 e Q_3 a estas entradas e a saída desta porta AND interligamos a MR_2 .

FORMA II : Diagrama lógico do divisor de freqüência por 15.



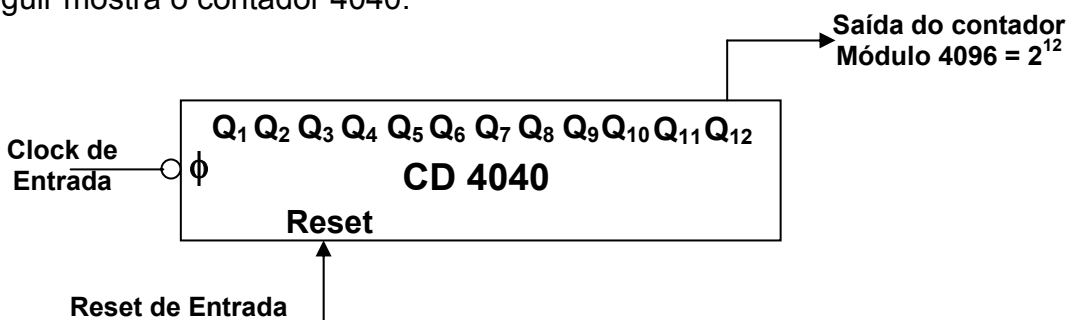
FORMA II : Formas de ondas do divisor de frequência por 15.



GRANDES DIVISORES DE FREQÜÊNCIAS COMERCIAIS

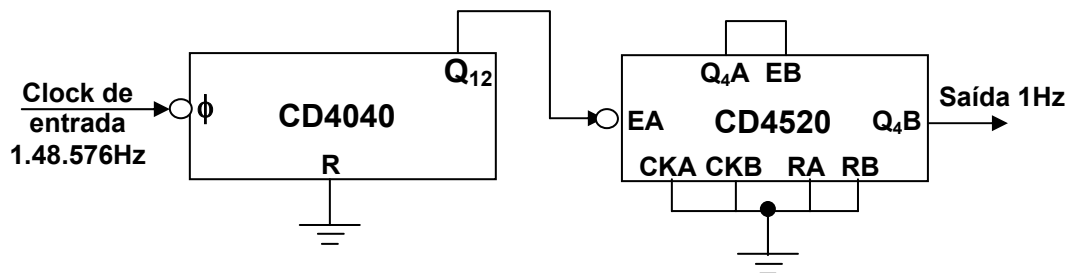
Utilizando novas tecnologias como CMOS, grandes divisores de freqüências foram criados para aplicações de relógios, como divisão de freqüências acima de 01 MHz, geradas por osciladores a cristais, temporizadores, contadores, freqüecímetros entre outros. Vamos estudar alguns destes contadores e como aplicação vamos implementar um oscilador de freqüência de 1Hz partindo de uma freqüência alta. A vantagem de se implementar osciladores a partir de freqüências muito alta é a estabilidade da freqüência. O erro provocado pelo desvio de freqüência muitas vezes oriundos da variação de temperatura onde o cristal está inserido, este erro fica dividido pelo tamanho do divisor de freqüência e assim a sua influência final sobre a freqüência de saída é muito pequena e pode ser não significativa para aplicação e portanto desprezível, embora existindo.

Como exemplo o CI-CMOS 4040, um contador assíncrono conhecido como tipo ripple, pela ligação em cascata dos F/Fs, este é um contador com 12 F/Fs ou 12 estágios como é denominado em seu folheto de dados (datasheet). Possui uma entrada para o clock, lógica negativa, 12 saídas referentes as saídas Q's de cada F/F, e uma entrada reset assíncrona com o clock para zeramento do contador, também em lógica positiva. O diagrama simbólico a seguir mostra o contador 4040.



EXEMPLO : Vamos gerar um sinal de 1Hz partindo de um oscilador a cristal cuja freqüência do cristal é de 1.048.576. Utilizar contadores diversos para a implementação do divisor de freqüência porém os CIs devem ser todos da mesma família.

SOLUÇÃO : A freqüência de 1.048.576 é múltipla de 4096 e assim se utilizarmos um divisor de freqüência de 4096, a freqüência de saída será de 256 Hz pois $1.048.576 / 4.096 = 256$. Basta em seguida empregar um divisor de freqüência por exemplo por 256 que a freqüência final será de 1Hz. Este divisor de freqüência, usando o manual do fabricante desses divisores deverá ser um contador assíncrono com 8 estágios e lógica negativa de entrada do clock, enfim similar com o CI 4040. O CI escolhido foi o contador CD4520 , um contador duplo de 4 bits cada com possibilidade de divisão de 256. Assim o diagrama lógico final do divisor de freqüência será mostrado a seguir.



Onde EA = EB = Enable, CKA = CKB = Clock e RA = RB =Reset

OUTRA SOLUÇÃO : Consultando o catálogo de produtos do fabricante, vemos que existe soluções mais fáceis que empregar vários divisores e ainda além um oscilador a cristal, para gerar 1Hz a partir da freqüência de entrada de 1.048.576 Hz. O manual do CI 4521, um contador de 24 estágios com possibilidade do uso de um oscilador interno com a introdução de alguns componentes externos como cristais ou circuitos RC. A tabela de contagem do contador a seguir mostra estas possibilidades de aplicação com este divisor de freqüência.

Saída	Capacidade de contagem
Q ₁₈	2 ¹⁸ = 262.144
Q ₁₉	2 ¹⁹ = 524.288
Q ₂₀	2 ²⁰ = 1.048.576
Q ₂₁	2 ²¹ = 2.097.152
Q ₂₂	2 ²² = 4.194.304
Q ₂₃	2 ²³ = 8.388.608
Q ₂₄	2 ²⁴ = 16.777.216

A solução fica bem mais fácil pois a saída Q₂₀ deste contador poderá ser interligada a sua entrada reset, como circuito de realimentação de estado, para a implementação do divisor de freqüência. A saída do contador é a própria saída Q₂₀ do contador.

