

EXERCÍCIOS DE SISTEMAS DIGITAIS II – PREPARAÇÃO PARA P1 DE SD - I

1. Partindo de um F/F do tipo D, construir um F/F do tipo T. Pede-se :

- a) A equação de estados do F/F
- b) Circuito transformado em F/F tipo T.

SOLUÇÃO : Construimos a tabela de transição do F/F tipo D.

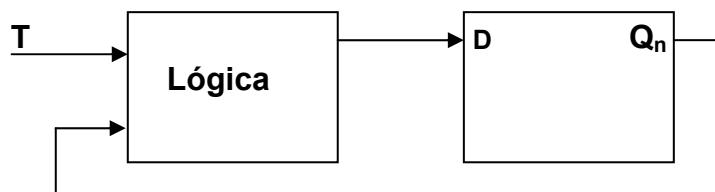
a)

TABELA DO F/F

D	$Q_n \rightarrow Q_{n+1}$
0	0 \rightarrow 0
1	0 \rightarrow 1
0	1 \rightarrow 0
1	1 \rightarrow 1

TABELA DO F/F

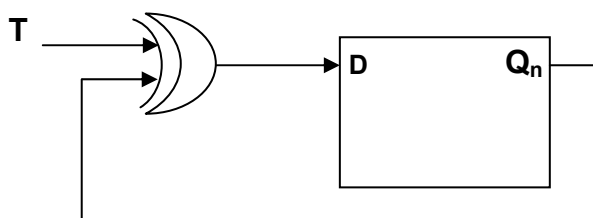
T	Q_n	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0



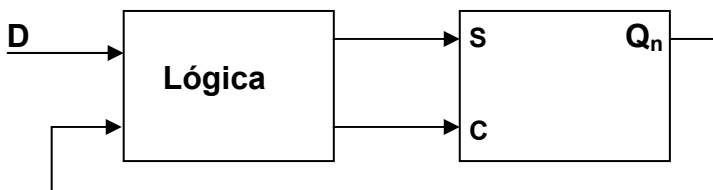
O mapa de Karnaugh de implementação da lógica combinatória, fica :

Q \ T	0	1
0	0	1
1	1	0

b) A equação de estado do F/F - $Q_{n+1} = T \oplus Q$ e $Q_{n+1} = D$.



2. Construir um F/F tipo D partindo de um latch NOR.



A tabela da verdade do F/F D.

D	Q_{n+1}
0	0
1	1

A tabela de transição do NOR.

S	C	$Q_n \rightarrow Q_{n+1}$
0	X	$0 \rightarrow 0$
1	0	$0 \rightarrow 1$
0	1	$1 \rightarrow 0$
X	0	$1 \rightarrow 1$

O projeto da lógica de transformação, será :

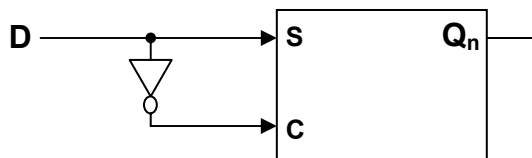
D	0	1
Q_n 0	0	1
1	0	x

D	0	1
Q_n 0	x	0
1	1	0

$S = D$

$C = D'$

O circuito lógico é representado a seguir.



3. A equação de estado de um latch NOR.

A equação de estado do latch NOR, será :

S	R	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	P
1	1	1	P

SR / Q_n	00	01	11	10
0	0	0	X	1
1	1	0	X	1

A equação de estado $Q_{n+1} = S + R'Q_n$

4. Construir um F/F do tipo T, partindo de um F/F do tipo descrito a seguir :

O problema tem 4 soluções adotamos uma das 04 soluções a seguir :

A	B	Q_{n+1}
0	0	Q_n
0	1	0
1	0	Q_n'
1	1	1

SOLUÇÃO : TABELA DE ESTADO DO F/F AB

A	B	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

TABELA DO F/F

A	B	$Q_n \rightarrow Q_{n+1}$
0	X	$0 \rightarrow 0$
1	X	$0 \rightarrow 1$
0	1*	$1 \rightarrow 0$
1	1*	$1 \rightarrow 1$

* Adota-se A = 0 e B = 1 de $1 \rightarrow 0$ e A = 1 e B = 1 de $1 \rightarrow 1$.

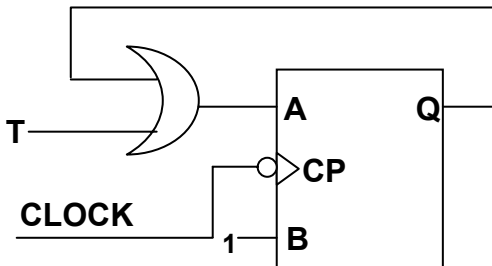
T \ Q	0	1
0	0	1
1	1	0

$$A = T \oplus Q$$

T \ Q	0	1
0	X	X
1	1	1

$$B = 1$$

Circuito completo



5. Um F/F tipo LM é descrito pela equação a seguir. Pede-se :

- A tabela da verdade do F/F.
- Implementar o F/F LM partindo do F/F universal tipo JK.

$$Q_{n+1} = LQ_n + M'Q_n'$$

Solução : Montando a tabela de estado do F/F, temos :

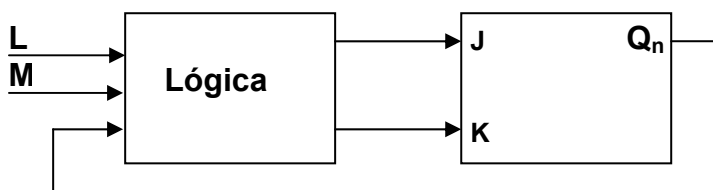
A tabela de estado do F/F.

L	M	Q_n	Q_{n+1}
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

a) Tabela da verdade

L	M	Q_{n+1}
0	0	Q_n'
0	1	0
1	0	1
1	0	Q_n

b) Implementação da lógica de transformação do F/F.



A tabela de transição do F/F JK, será :

J	K	$Q_n \rightarrow Q_{n+1}$
0	X	$0 \rightarrow 0$
1	X	$0 \rightarrow 1$
X	1	$1 \rightarrow 0$
X	0	$1 \rightarrow 1$

O projeto da lógica de transformação, será :

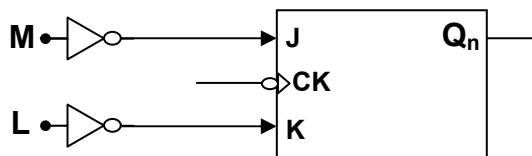
LM	00	01	11	10
Q_n 0	1	0	0	1
1	X	X	X	X

$$J = M'$$

LM	00	01	11	10
Q_n 0	X	X	X	X
1	1	1	0	0

$$K = L'$$

O circuito lógico é representado a seguir.



6. Repita o problema usando F/F XY, a seguir descrito pela tabela da verdade.

- Equação de estado do F/F.
- Implementação do F/F XY partindo do F/F JK.

X	Y	Q_{n+1}
0	0	Q_n
0	1	1
1	0	Q_n'
1	1	0

Solução : Montando a tabela de estado do F/F, temos :

9. A tabela de estado do F/F.

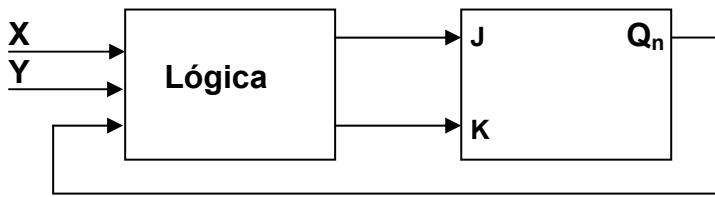
X	Y	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

a) A equação de Estado do F/F, será :

XY/ Q_n	00	01	11	10
0	0	1	0	1
1	1	1	0	0

$$Q_{n+1} = X'Q_n + X'Y + XY'Q_n'$$

b) Implementação da lógica de transformação do F/F.



A tabela de transição do F/F JK, será :

J	K	$Q_n \rightarrow Q_{n+1}$
0	X	$0 \rightarrow 0$
1	X	$0 \rightarrow 1$
X	1	$1 \rightarrow 0$
X	0	$1 \rightarrow 1$

O projeto da lógica de transformação, será :

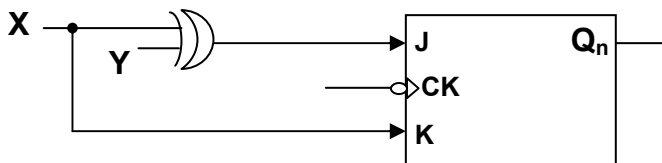
XY	00	01	11	10
Q_n 0	0	1	0	1
1	X	X	X	X

XY	00	01	11	10
Q_n 0	X	X	X	X
1	0	0	1	1

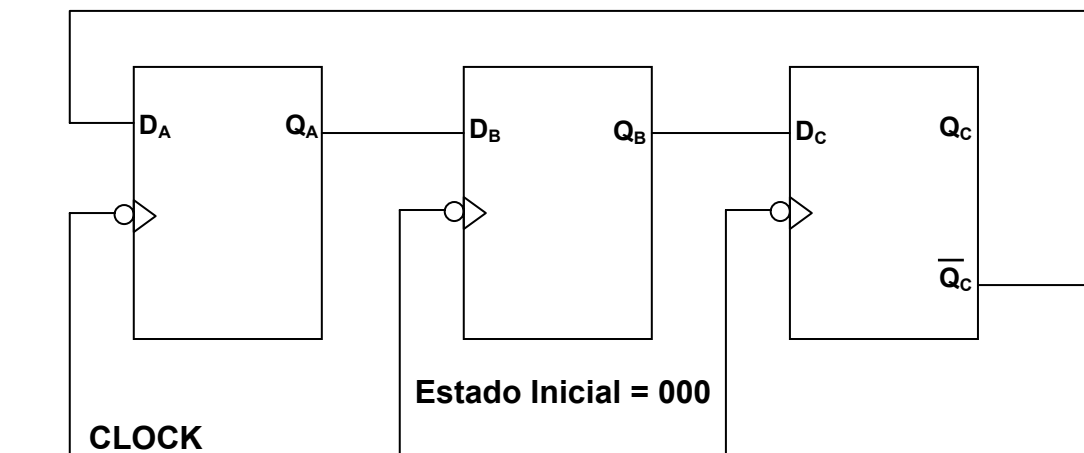
$J = X \oplus Y$

$K = X$

O circuito lógico é representado a seguir.



7. Determinar a frequência de saída do circuito a seguir.

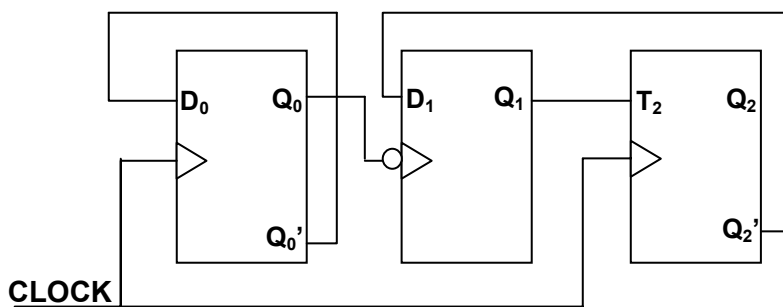


SOLUÇÃO : A evolução dos F/FS leva a uma divisão de frequência por 6.

Q_A	Q_B	Q_C
0	0	0
1	0	0
1	1	0
1	1	1
0	1	1
0	0	1
0	0	0

8. Determinar os estados percorridos pela associação a seguir.

Estado Inicial = 000. Considere o t_p do F/F Q_2 maior do que t_p do F/F Q_1 e menor que $\frac{1}{2}$ período do CLK.

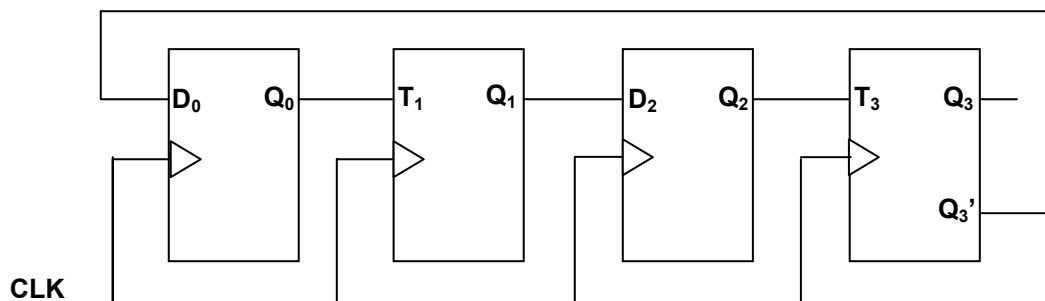


Solução :

Q_2	Q_1	Q_0	CLK	Estado
0	0	0	↑	0
0	0	1	↑	1
0	1	0	↑	2
1	1	1	↑	7
0	0	0	↑	0

Em Q_2 saída $\div 4$. Em $Q_1 \div 4$. Em $Q_0 \div 2$.
São 4 estados. A onda é simétrica em Q_1 e Q_0 . Não é simétrica em Q_2 .

9. Determinar a frequência de saída em Q_3 , Q_2 , Q_1 e Q_0 . Para os seguintes estados iniciais. Indicar os estados percorridos nas 02 situações.



- a) Estado Inicial = 0000
- b) Estado Inicial = 0010

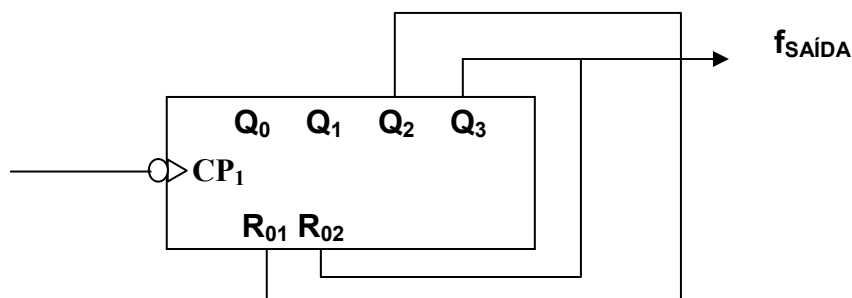
a) Estado inicial 0000

Q ₃	Q ₂	Q ₁	Q ₀	Q ₃ '	CLK	Estado
0	0	0	0	1	↑	0
0	0	0	1	1	↑	1
0	0	1	1	1	↑	3
0	1	0	1	1	↑	5
1	0	1	1	0	↑	11
1	1	0	0	0	↑	12
0	0	0	0	1	↑	0

b) Estado inicial 0010

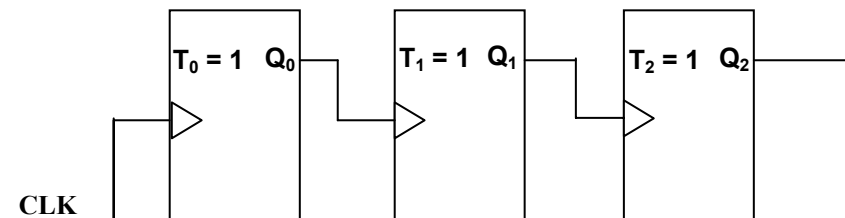
Q ₃	Q ₂	Q ₁	Q ₀	Q ₃ '	CLK	Estado
0	0	1	0	1	↑	2
0	1	1	1	1	↑	7
1	1	0	1	0	↑	13
0	0	1	0	1	↑	2

10. Utilizando-se o CI 74293, construir um divisor de frequência por 6.



11. O tempo de propagação de um F/F do tipo T é de 20ns e associando no modo assíncrono 2 F/Fs tipo T, conforme a seguir. Aplicou-se uma frequência na entrada cujo período do clock foi de 50ns. Pede-se :

- Os estados percorridos pela associação no modo crescente e decrescente.
- Se o período do clock foi de 30ns repita o item a)



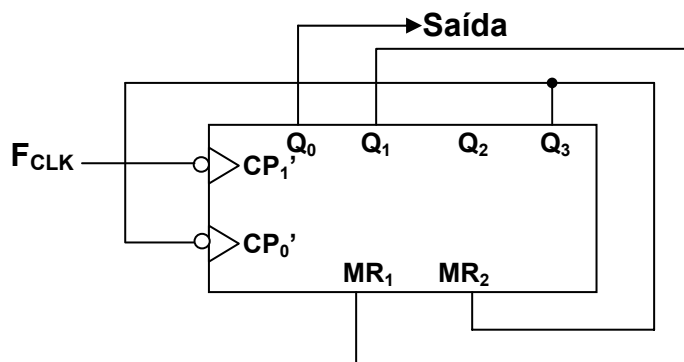
a) Os estados percorridos pela associação no modo crescente são :

Cada F/F atrasa 20ns daí 60ns é o atraso total da associação. O clock normal aplicado deverá obedecer então 1/60ns. O clock mínimo que se pode aplicar a associação deve ser maior do que 40ns referente ao atraso de 02 F/Fs mais um tempo para início da comutação do 3.o F/F. No caso de um clock de 50ns > 40ns não teremos problemas com os estados percorridos pela associação que percorre de 0 a 7 e de 7 a 0 sem problemas.

b) Se o período for 30ns < 40ns, então teremos problemas pois na mudança de 3 F/Fs o que ocorre no modo crescente de 3 para 4 e de 7 para 0, o último F/F comuta após o primeiro ter comutado 2 vezes seguidas, daí ele salta os estados 4 e 0, ficando : 1 – 2 – 3 – 5 – 6 – 7. No modo decrescente ocorrem nos estados onde mudam 3 F/Fs que serão dos estados 4 para 3 e de 0 para 7, ficando os estados 6 – 5 – 4 – 2 – 1 – 0.

12. Qual a configuração do contador 74293, para gerar uma onda quadrada na saída cuja frequência seja 1/10 da frequência de entrada.

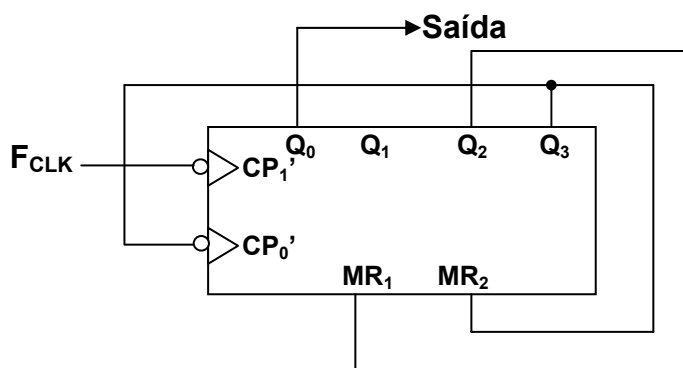
Q ₃	Q ₂	Q ₁	Q ₀	Estados
0	0	0	0	0
0	0	1	0	2
0	1	0	0	4
0	1	1	0	6
1	0	0	0	8
0	0	0	1	1
0	0	1	1	3
0	1	0	1	5
0	1	1	1	7
1	0	0	1	9



Obs.: São 02 divisores, sendo o primeiro ÷ 5 e o segundo divisão por 2 (daí a onda ser quadrada pois é múltiplo de potência de 2).

13. Idem enunciado do problema anterior para gerar 1/12.

Q ₃	Q ₂	Q ₁	Q ₀	Estados
0	0	0	0	0
0	0	1	0	2
0	1	0	0	4
0	1	1	0	6
1	0	0	0	8
1	0	1	0	10
0	0	0	1	1
0	0	1	1	3
0	1	0	1	5
0	1	1	1	7
1	0	0	1	9
1	0	1	1	11



Obs.: São 02 divisores, sendo o primeiro ÷ 6 e o segundo divisão por 2 (daí a onda ser quadrada pois é múltiplo de potência de 2).

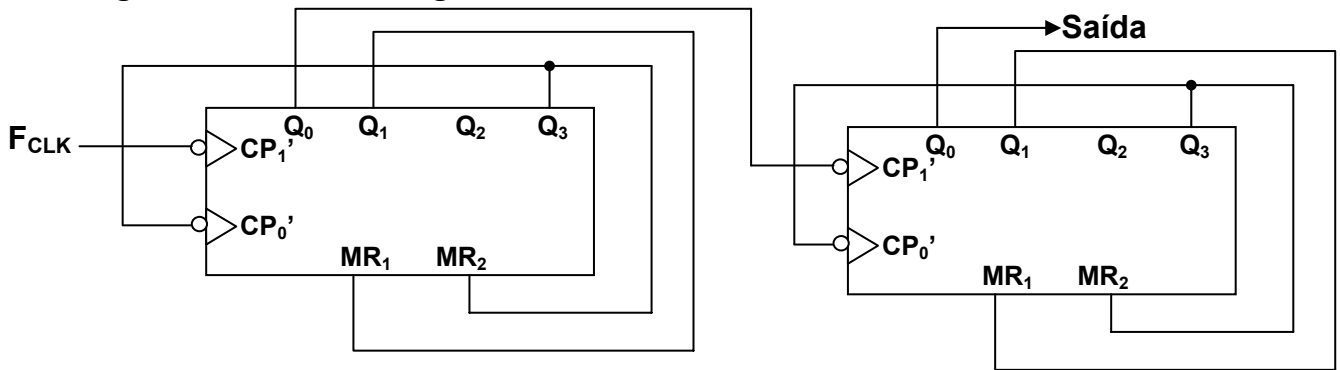
14. Nos exercícios 12 e 13 qual a frequência máxima que pode ser aplicada ao contador sabendo-se que t_p médio para portas e F/Fs são de 10ns.

a) $F_{MAX} = 1 / \sum 4 \cdot 10ns = 25MHz$, para os exercícios 12 e 13.

15. Qual a configuração dos contadores para se obter uma onda quadrada na saída de um sistema de divisão de frequência por 100, usando o CI 74293. Pede-se :

- O número de contadores necessários
- A posição de cada contador na configuração para a divisão por 100.
- A frequência máxima a ser aplicada na entrada da configuração, sabendo-se que o tempo de propagação de cada F/F interno ao CI 74293 é de 5ns.

Solução : a) São 02 contadores divisores por 10 conforme configuração do exercício 12.
b) A configuração é como a seguir.



c) No contador assíncrono $f_{MAX} = 1 / 8 \cdot 5ns = 25MHz$.

16. Com o CI 74193, construir um contador que percorre uma malha de estados a seguir 0 – 4 – 8 – 12 – 13 – 15. Pede-se ;

- a) Tabela de estados atuais, futuro, entradas e saída do contador
b) Implementação por Karnaugh das entradas PL' e P₃, P₂, P₁ e P₀.

Solução : Para a malha de estados criamos a tabela de estados atuais, futuros, entradas e saídas.

a) Tabela de estados atuais, futuros e saída.

ATUAIS				FUTURO				ENTRADA					S
Q ₃	Q ₂	Q ₁	Q ₀	Q ₃	Q ₂	Q ₁	Q ₀	PL'	P ₃	P ₂	P ₁	P ₀	S
0	0	0	0	0	0	0	1	1	X	X	X	X	1
0	0	0	1	0	1	0	0	0	0	1	0	0	0
0	0	1	0	0	1	0	0	0	0	1	0	0	0
0	0	1	1	0	1	0	0	0	0	1	0	0	0
0	1	0	0	0	1	0	1	1	X	X	X	X	0
0	1	0	1	1	0	0	0	0	1	0	0	0	0
0	1	1	0	1	0	0	0	0	1	0	0	0	0
0	1	1	1	1	0	0	0	0	1	0	0	0	0
1	0	0	0	1	0	0	1	1	X	X	X	X	0
1	0	0	1	1	1	0	0	0	1	1	0	0	0
1	0	1	0	1	1	0	0	0	1	1	0	0	0
1	0	1	1	1	1	0	0	0	1	1	0	0	0
1	1	0	0	1	1	0	1	1	X	X	X	X	0
1	1	0	1	1	1	1	0	1	X	X	X	X	0
1	1	1	0	1	1	1	1	0	1	1	1	1	0
1	1	1	1	0	0	0	0	1	X	X	X	X	0

b) Implementação de PL', P₃, P₂, P₁ e P₀.

$$S = Q_3' \cdot Q_2' \cdot Q_1' \cdot Q_0'$$

A lógica do estado futuro será implementada com 05 Karnaughs, 01 para o comando de entrada paralela e 04 para as entradas paralelas.

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	1	1	1	1
01	0	0	1	0
11	0	0	1	0
10	0	0	0	0

$$PL' = Q_1'Q_0' + Q_3Q_2Q_0$$

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	X	X	X	X
01	0	1	X	1
11	0	1	X	1
10	0	1	1	1

$$P_3 = Q_3 + Q_2$$

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	X	X	X	X
01	1	0	X	1
11	1	0	X	1
10	1	0	1	1

$$P_2 = Q_3 + Q_2'$$

Q_3Q_2/Q_1Q_0	00	01	11	10
00	X	X	X	X
01	0	0	X	0
11	0	0	X	0
10	0	0	1	0

Q_3Q_2/Q_1Q_0	00	01	11	10
00	X	X	X	X
01	0	0	X	0
11	0	0	X	0
10	0	0	1	0

$$P_1 = Q_3Q_2$$

$$P_0 = Q_3Q_2$$

17. Com o CI 74193 usando somente 3 bits Q_2 , Q_1 , e Q_0 , implementar um contador que conta em ordem crescente de 0 a 7. Uma mudança no comportamento do contador é provocada por uma chave K introduzida no processo que faz com o contador iniciar a contagem no estado 3. Esta condição ocorre na simultaneidade dos eventos ou seja quando a chave $K = 1$ e o contador estiver no estado 6 . Pede-se :

- A tabela de estados do contador
- A expressão de saída do comando paralelo do contador.

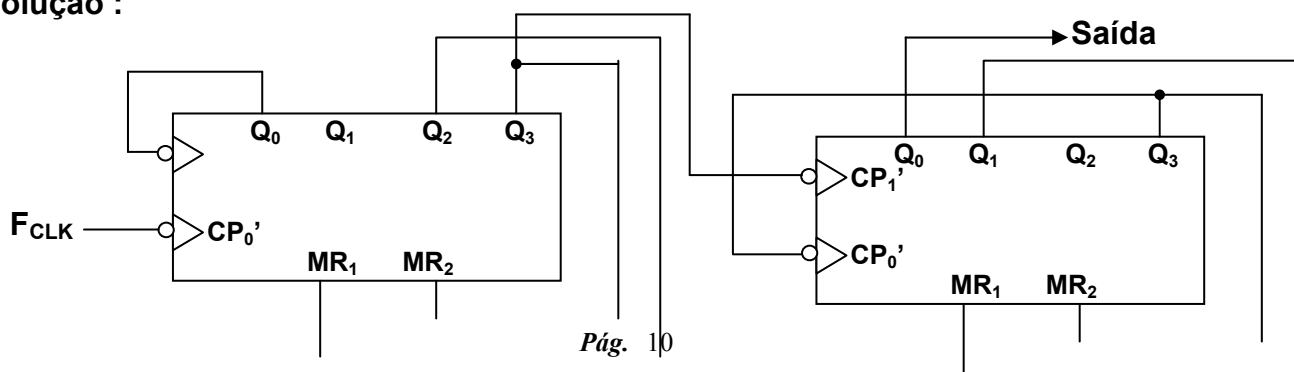
ATUAIS				FUTURO			ENTRADA				S
K	Q_2	Q_1	Q_0	Q_2	Q_1	Q_0	PL'	P_2	P_1	P_0	S
0	0	0	0	0	0	1	1	X	X	X	0
0	0	0	1	0	1	0	1	X	X	X	1
0	0	1	0	0	1	1	1	X	X	X	1
0	0	1	1	1	0	0	1	X	X	X	1
0	1	0	0	1	0	1	1	X	X	X	1
0	1	0	1	1	1	0	1	X	X	X	1
0	1	1	0	1	1	1	1	X	X	X	1
0	1	1	1	0	0	0	1	X	X	X	0
1	0	0	0	0	0	1	1	X	X	X	1
1	0	0	1	0	1	0	1	X	X	X	1
1	0	1	0	0	1	1	1	X	X	X	1
1	0	1	1	1	0	0	1	X	X	X	0
1	1	0	0	1	0	1	1	X	X	X	1
1	1	0	1	1	1	0	1	X	X	X	1
1	1	1	0	0	1	1	0	0	1	1	1
1	1	1	1	0	0	0	1	X	X	X	1

O sistema não pede uma saída, então escolhemos qualquer estado mas o bom senso indica que devemos escolher a saída para 02 situações em $K = 0$ e $K = 1$, sincronizadas com o clock e quando ele vai a zero.

$$b) PL' = (K \cdot Q_2Q_1Q_0)'$$
 e $P_2 = 0, P_1 = 1, P_0 = 1$ e $S = (K \cdot Q_2'Q_1Q_0 \cdot CLK) + K' \cdot Q_2Q_1Q_0 \cdot CLK$

18. Dar a configuração dos contadores para realizarem um decimo de segundo a partir da frequência de 120Hz. Usar CI 74293 como divisor de frequência.

Solução :



O 1.º contador divide por 12 e o segundo, cuja saída é de 10Hz, realiza 0 décimo de segundo. A saída deste contador divide por 10 e daí a associação por 120.

19. Utilizando-se o CI 74193, construir um contador que percorre a malha 0 – 2 – 4 – 6 – 9 – 11 – 13 – 15. Pede-se:

- A tabela de estados do contador.
- Implementação das entradas e comando paralelo.

a) Tabela de Estados presentes, futuros e saída.

ATUAIS				FUTURO				ENTRADA					S
Q ₃	Q ₂	Q ₁	Q ₀	Q ₃	Q ₂	Q ₁	Q ₀	PL'	P ₃	P ₂	P ₁	P ₀	S
0	0	0	0	0	0	0	1	1	X	X	X	X	0
0	0	0	1	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	1	1	1	X	X	X	X	0
0	0	1	1	0	1	0	0	0	0	1	0	0	0
0	1	0	0	0	1	0	1	1	X	X	X	X	0
0	1	0	1	0	1	1	0	0	0	1	1	0	0
0	1	1	0	0	1	1	1	1	X	X	X	X	0
0	1	1	1	1	0	0	0	0	1	0	0	1	0
1	0	0	0	1	0	0	1	0	1	0	0	1	0
1	0	0	1	1	0	1	0	1	X	X	X	X	0
1	0	1	0	1	0	1	1	0	1	0	1	1	0
1	0	1	1	1	1	0	0	1	X	X	X	X	0
1	1	0	0	1	1	0	1	0	1	1	0	1	0
1	1	0	1	1	1	1	0	1	X	X	X	X	0
1	1	1	0	1	0	1	1	0	1	1	1	1	0
1	1	1	1	1	0	1	1	1	X	X	X	X	1

b) Implementação da lógica do estado futuro.

Implementação de PL', P₃, P₂, P₁ e P₀.

$$S = Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$$

A lógica do estado futuro será implementada com 05 Karnaughs, 01 para o comando de entrada paralela e 04 para as entradas paralelas.

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	1	1	0	0
01	0	0	1	1
11	0	0	1	1
10	1	1	0	0

$$PL' = Q_3'Q_0' + Q_3Q_0$$

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	X	X	1	1
01	0	0	X	X
11	0	1	X	X
10	X	X	1	1

$$P_3 = Q_3 + Q_2Q_1$$

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	X	X	1	0
01	0	1	X	X
11	1	0	X	X
10	X	X	1	0

$$P_2 = Q_3Q_2 + Q_2Q_1' + Q_3'Q_2'Q_1$$

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	X	X	0	0
01	1	1	X	X
11	0	0	X	X
10	X	X	1	1

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	X	X	1	1
01	0	0	X	X
11	0	1	X	X
10	X	X	1	1

$$P_1 = Q_1'Q_0 + Q_1Q_0'$$

$$P_0 = Q_3 + Q_0' + Q_2Q_1$$

20. Repetir o problema para a malha 1 – 3 – 5 – 7 – 10 – 12 – 14 – 0.

a) Tabela de Estados presente e futuro

ATUAIS				FUTURO				ENTRADA					S
Q ₃	Q ₂	Q ₁	Q ₀	Q ₃	Q ₂	Q ₁	Q ₀	PL'	P ₃	P ₂	P ₁	P ₀	S
0	0	0	0	0	0	0	1	1	x	x	x	x	1
0	0	0	1	0	0	1	0	1	x	x	x	x	0
0	0	1	0	0	0	1	1	0	0	0	1	1	0
0	0	1	1	0	1	0	0	1	x	x	x	x	0
0	1	0	0	0	1	0	1	0	0	1	0	1	0
0	1	0	1	0	1	1	0	1	x	x	x	x	0
0	1	1	0	0	1	1	1	0	0	1	1	1	0
0	1	1	1	1	0	0	0	1	x	x	x	x	0
1	0	0	0	1	0	0	1	0	1	0	1	0	0
1	0	0	1	1	0	1	0	0	1	0	1	0	0
1	0	1	0	1	0	1	1	1	x	x	x	x	0
1	0	1	1	1	1	0	0	0	1	1	0	0	0
1	1	0	0	1	1	0	1	1	x	x	x	x	0
1	1	0	1	1	1	1	0	0	1	1	1	0	0
1	1	1	0	1	0	1	1	1	x	x	x	x	0
1	1	1	1	1	0	1	1	0	0	0	0	0	0

b) Implementação da lógica do estado futuro.

Implementação de PL', P₃, P₂, P₁ e P₀.

$$S = Q_3' \cdot Q_2' \cdot Q_1' \cdot Q_0'$$

A lógica do estado futuro será implementada com 05 Karnaugh, 01 para o comando de entrada paralela e 04 para as entradas paralelas.

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	1	0	1	0
01	1	1	0	0
11	1	1	0	0
10	0	0	1	1

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	X	0	X	1
01	X	X	1	1
11	X	X	0	1
10	0	0	X	X

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	X	1	X	0
01	X	X	1	0
11	X	X	0	1
10	0	1	X	X

$$PL' = Q_3Q_1Q_0' + Q_3Q_2Q_0' + Q_3'Q_0 + Q_3'Q_2'Q_1' \quad P_3 = Q_3 + Q_1'$$

$$P_2 = Q_3'Q_2 + Q_2Q_1' + Q_3Q_2'Q_1$$

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	X	0	X	1
01	X	X	1	1
11	X	X	0	0
10	1	1	X	X

Q ₃ Q ₂ / Q ₁ Q ₀	00	01	11	10
00	X	1	X	0
01	X	X	0	0
11	X	X	0	0
10	1	1	X	X

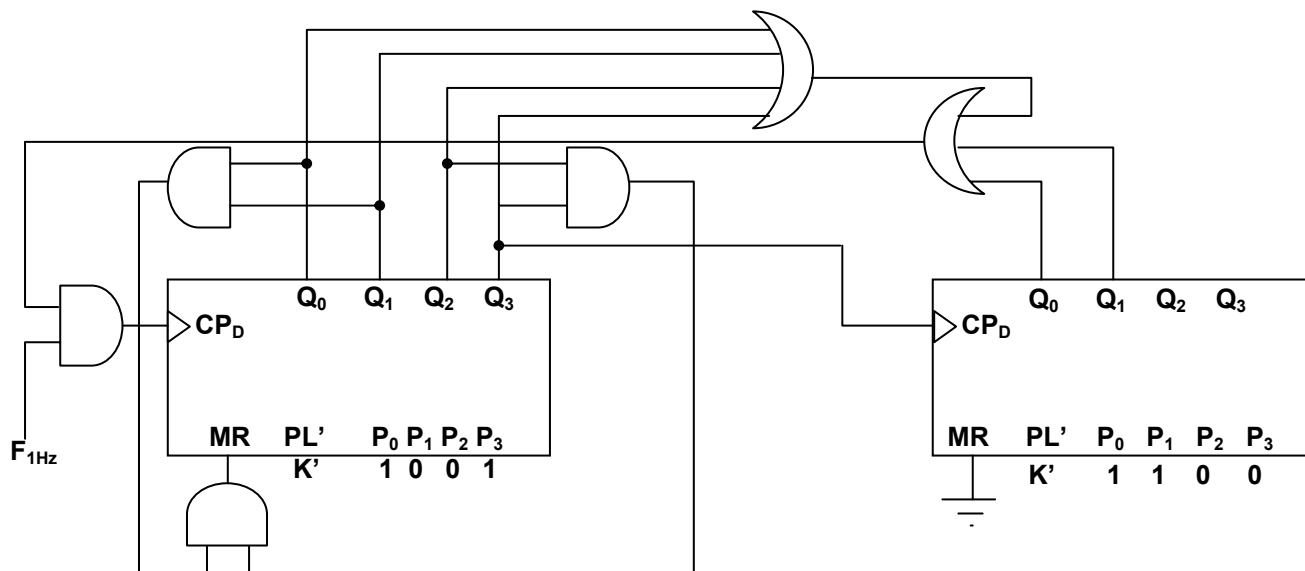
$$P_1 = Q_3'Q_1 + Q_3Q_1'$$

$$P_0 = Q_3'$$

21. Deseja-se construir um cronometro de 30s que conta em ordem decrescente de 30 até 0. Quando o cronometro atingir 0 ele deve parar e aguardar pelo comando K = 1 para reiniciar a contagem. Pede-se :

a) A configuração dos contadores 74193, sabendo-se que a frequência disponível na entrada do sistema é a rede em 60Hz.

Solução : a) Após o divisor de frequência por 60, não desenhado abaixo cria-se um divisor por 10 e um contador de 3 a 0. O K' carrega automaticamente o segundo contador com 3.



22. Implementar um contador síncrono de 2 bits em ordem crescente/decrescente, cujos estados são 0 – 1 – 2 – 3 com K = 0 e 3 – 2 – 1 – 0 com K = 1. Implementar o contador usando F/F do tipo D. Pede-se :

- a) A tabela de estados do contador.
b) O mapa de Karnaugh das entradas Ds dos F/Fs.

Solução :

a) Tabela de Estados presente e futuro.

ATUAIS			FUT.		ENT.		S
K	Q ₁	Q ₀	Q ₁	Q ₀	D ₂	D ₁	S
0	0	0	0	1	0	1	1
0	0	1	1	0	1	0	1
0	1	0	1	1	1	1	1
0	1	1	0	0	0	0	0
1	0	0	1	1	1	1	0
1	0	1	0	0	0	0	1
1	1	0	0	1	0	1	1

b) A equação de saída, fica :

$$S = [(K' \cdot Q_1 Q_0) + (K \cdot Q_1' Q_0')]$$

KQ ₁ /Q ₀	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$D_1 = (K \oplus Q_1 \oplus Q_0)$$

KQ ₁ /Q ₀	00	01	11	10
0	1	1	1	0
1	0	0	1	1

$$D_0 = K'Q_0' + Q_1Q_0 + KQ_1 + KQ_0$$

23. Projetar um contador módulo 5 utilizando-se o registrador 74178, modo serial por DS. Pede-se :

- a) Malha de estados percorrida pelo contador
b) A expressão booleana do DS

SOLUÇÃO : a) MALHA PRIMÁRIA : 0 – 1 – 2 – 4 – 8

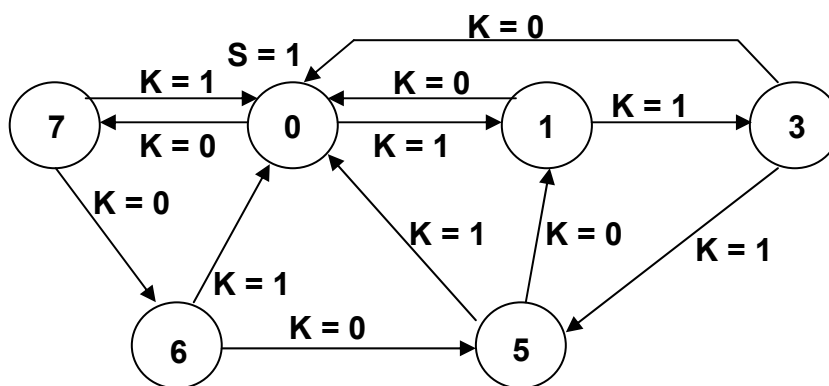
ESTADOS EXCLUSOS : 3, 5, 6, 7, 9, 10, 11, 12, 13, 14, 15

Do estado para o estado
 15 → 14
 3-6-12-9 → 2
 5-10 → 4
 7-15-14-12 → 9

Q_3Q_2		Q_1Q_0			
		00	01	11	10
Q_3Q_2	00	1	0	1	0
	01	0	0	1	0
	11	0	1	0	0
	10	0	0	0	0

$$DS = Q_3Q_2Q_1' + Q_3'Q_2'Q_1'Q_0' + Q_3'Q_2Q_1Q_0$$

24. Construir um contador síncrono usando F/Fs do tipo JK, cuja malha de estados é descrita a seguir.



ATUAIS				FUTURO			ENTRADAS						SAÍDA
K	Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀	S
0	0	0	0	1	1	1	1	x	1	x	1	x	1
0	0	0	1	0	0	0	0	x	0	x	x	1	0
0	0	1	0	0	0	0	0	x	x	1	0	x	0
0	0	1	1	0	0	0	0	x	x	1	x	1	0
0	1	0	0	0	0	0	x	1	0	x	0	x	0
0	1	0	1	0	0	1	x	1	0	x	x	0	0
0	1	1	0	1	0	1	x	0	x	1	1	x	0
0	1	1	1	1	1	0	x	0	x	0	x	1	0
1	0	0	0	0	0	1	0	x	0	x	1	x	1
1	0	0	1	0	1	1	0	x	1	x	x	0	0
1	0	1	0	0	0	0	0	x	x	1	0	x	0
1	0	1	1	1	0	1	1	x	x	1	x	0	0
1	1	0	0	0	0	0	x	1	0	x	0	x	0
1	1	0	1	0	0	0	x	1	0	x	x	1	0
1	1	1	0	0	0	0	x	1	x	1	0	x	0
1	1	1	1	0	0	0	x	1	x	1	x	1	0

Fazendo-se as tabelas de Karnaughs, com K, Q₂, Q₁, Q₀ teremos :

$$J_2 = K' Q_1' Q_0' + K Q_1 Q_0$$

$$K_2 = Q_1' + K$$

$$J_1 = K' Q_2' Q_0' + K Q_2' Q_0$$

$$K_1 = K + Q_1 Q_0'$$

$$J_0 = Q_2' Q_1' + K' Q_2 Q_1$$

$$K_0 = K' + Q_2$$

$$S = Q_2' Q_1' Q_0'$$

25. Para cada dos F/Fs abaixo, construir um contador divisor de frequência por 4, síncrono, borda descida.

- a) JK
- b) T
- c) D
- d) SC

SOLUÇÃO : A solução é construir 02 F/Fs do tipo T por exemplo, para cada F/F.

- a) Para F/F1, fazemos $J_A = K_A = 1$ e para F/F2, fazemos $J_B = K_B = Q_A$ e saída em Q_B .
- b) Para F/F1, fazemos $T_A = 1$ e para F/F2, fazemos $T_B = Q_A$ e saída em Q_B .

c) Para F/F1, fazemos $D_A = \overline{Q_A}$ e para F/F2, fazemos $D_B = Q_A \oplus Q_B$ e saída em Q_B .

d) Para F/F1, fazemos $S_A = \overline{Q_A}$ e $C_A = Q_A$ e para F/F2, fazemos $S_B = Q_A$ e $C_B = Q_A$ e saída em Q_B .

26. A equação de estados, define o F/F, construir o circuito usando F/F JK.

$$Q_{n+1} = A' Q + BQ$$

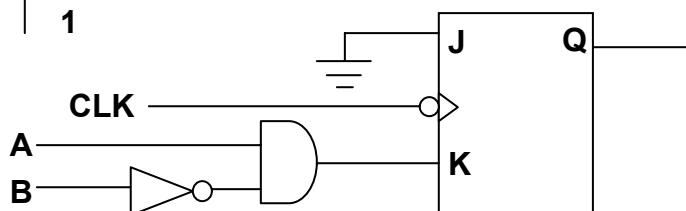
A	B	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Q \ AB	00	01	11	10
0	0	0	0	0
1	x	x	x	x

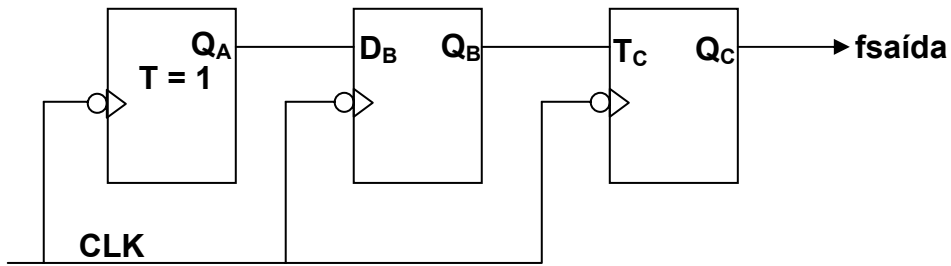
$J = 0$

Q \ AB	00	01	11	10
0	x	x	x	x
1	0	0	0	1

$K = AB'$



27. Para o circuito a seguir, determinar a frequência de saída será igual a :



Estado Inicial = $Q_A Q_B Q_C$ (011)

Q_A	Q_B	Q_C
0	1	1
1	0	0
0	1	0
1	0	1
0	1	1

A frequência de saída será igual $f_{SAÍDA} = f_{CLOCK} / 4$